

PATENT ABSTRACTS OF JAPAN

KR-0295251B

(11)Publication number : 09-101344
 (43)Date of publication of application : 15.04.1997

(51)Int.Cl. G01R 31/26
 B65G 47/48
 H01L 21/68

(21)Application number : 08-116170 (71)Applicant : ADVANTEST CORP
 (22)Date of filing : 10.05.1996 (72)Inventor : NEMOTO MAKOTO
 KOBAYASHI YOSHIHITO
 NAKAMURA HIROTO
 ONISHI TAKESHI
 IKEDA HIROKI

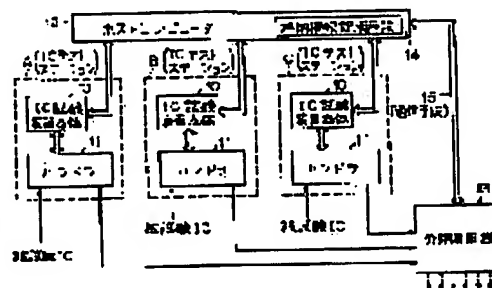
(30)Priority
 Priority number : 07192996 Priority date : 28.07.1995 Priority country : JP

(54) IC TEST SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an IC test system which can efficiently operate IC tester.

SOLUTION: In an IC test station which is made up of a handler 11 to convey ICs and an IC tester body 10 to test the operation of the ICs conveyed by the handler 11 to be connected to a test head, the handlers 11 transfer the ICs tested to a universal tray from a test tray without sorting those accepted from those rejected and the results of testing the ICs are stored into a stored information memory means 14. The information stored in the stored information memory means 14 is fed to an exclusive sorting device 13 and the sorting is performed by the exclusive sorting device 13.



Best Available Copy

LEGAL STATUS

[Date of request for examination] 18.04.2003
 [Date of sending the examiner's decision of rejection] 18.07.2006
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2006-17933

[Date of requesting appeal against examiner's decision of rejection] 17.08.2006

[Date of extinction of right]

KR-0295251B

10-0295251

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.
G01R 31/26

(45) 공고일자 2001년 07월 26일
(11) 등록번호 10-0295251
(24) 등록일자 2001년 04월 26일

(21) 출원번호	10-1999-7011177(분할)	(65) 공개번호	
(22) 출원일자	1999년 11월 30일	(43) 공개일자	
(62) 원출원	특허 특1997-0702037 원출원일자 : 1997년 03월 28일 심사청구일자 1997년 03월 28일		
(30) 우선권주장	95-192996 1995년 07월 28일 일본(JP) 96-03430 1996년 04월 05일 일본(JP) 96-116170 1996년 05월 10일 일본(JP) ← 優先権		

(73) 특허권자 가부시키가미샤 아드반테스트 오우라 히로시
(72) 발명자 일본 도쿄도 네리마구 아사히쵸 1-32-1
네모토 신
일본 338사이타마현 요노시시모오치마이2-9-1-202
고바야시 요시히토
일본 361사이타마현 교다시사쿠라쵸 1-11-16
나카무라 히로토
일본 347사이타마현 가조시구게 1-17-23
오오니시 다케시
일본 361사이타마현 교다시 가도미쵸 3-15-41
이케다 히로키
일본 349-11사이타마현 기타사이타마군 오오토네마치쵸 소마273-1-2-202
(74) 대리인 장흥식, 박종혁, 장두현

심사관 : 권영영

(54) 복수의 반도체 디바이스 시험장치를 구비한 반도체 디바이스 시험시스템

요약

복수개의 반도체 디바이스 시험장치를 효율적으로 운용할 수 있는 반도체 디바이스 시험시스템을 제공한다. 복수개의 반도체 디바이스 시험장치(1A, 1B 및 1C)를 관리, 제어하는 호스트컴퓨터(2)와, 분류전용기(3)를 설치하고, 또한, 시험할 반도체 디바이스에 부여된 번호나 시험결과 등의 장치적납정보를 기억하는 적납정보기록수단(4)을 호스트컴퓨터(2)에 설치한다. 각 시험장치의 핸들러부(11)에 있어서는 시험할 장치를 분류하지 않고서, 혹은 2개의 카테고리만으로 분류하여, 테스트트레이로부터 범용트레이로 전송하고, 이 전송시에 각 장치의 적납정보를 상기 적납정보기록수단에 기억한다. 모든 시험이 종료한 후, 적납정보기록수단에 기억된 각 장치의 적납정보를 분류전용기에 보내서, 이 분류전용기에 의해 시험할 장치의 분류를 행한다.

도면

도 1

도면

핸들러, 적납정보기록수단, 분류전용기, 범용트레이

도면

도면의 간단한 설명

도 1은 본 발명에 의한 IC 시험시스템의 제1의 실시예의 전체의 구성을 설명하기 위한 블록도이다.
도 2는 도 1에 도시한 IC 시험시스템에 있어서 사용할 수 있는 복수개의 범용트레이를 1조로서 담아서 운반할 수 있는 용기의 일례를 가리키는 개략 사시도이다.
도 3은 본 발명에 의한 IC 시험시스템의 제2의 실시예의 전체의 구성을 설명하기 위한 블록도이다.

- 도 4는 종래의 IC 시험장치의 일례를, 멤버부를 사시도적으로 도시한 개략 평면도이다.
- 도 5는 도 4에 도시한 IC 시험장치의 개략 사시도이다.
- 도 6은 IC 시험장치에 사용되는 테스트트레이의 일례의 구조를 설명하기 위한 분해사시도이다.
- 도 7은 도 6에 도시한 테스트트레이내의 IC의 격납상태를 설명하기 위한 개략 사시도이다.
- 도 8은 도 6에 도시한 테스트트레이에 탑재된 피시험 IC와 테스트헤드의 전기적 접속상태를 설명하기 위한 확대단면도이다.
- 도 9는 테스트트레이에 탑재된 피시험 IC의 시험의 순서를 설명하기 위한 평면도이다.
- 도 10은 IC 시험장치에 사용되는 범용트레이를 수납하는 스토커의 구조를 설명하기 위한 사시도이다.
- 도 11은 본 발명에 의한 IC 시험장치의 하나의 실시예의 주요부의 구성을 설명하기 위한 개략 사시도이다.
- 도 12는 도 11의 개략단면도이다.
- 도 13은 도 11에 가리킨 IC 시험장치의 일부분을 확대하여 가리키는 확대사시도이다.

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 디바이스, 특히 그 대표예인 반도체집적회로소자(이하, IC라고 칭한다)를 시험하는데 적합한 반도체 디바이스 시험장치에 관한 것이다. 더욱 자세히 말하면, 본 발명은 반도체 디바이스를 시험하기 위해서 반송하고, 테스트부에서 반도체 디바이스를 테스트헤드(시험중의 각종의 전기신호를 공급 및 수신하는 시험장치의 부분)에 전기적으로 접속시켜 반도체 디바이스의 전기적 시험을 행하고, 시험후에 반도체 디바이스를 테스트부로부터 반출하고, 시험결과에 따라서 시험이 종료된 반도체 디바이스(이하 시험된 반도체 디바이스라 한다)를 양품, 불량품으로 구분하는 형식의 반도체 디바이스 시험장치, 및 이러한 반도체 디바이스 시험장치를 복수대 구비한 반도체 디바이스 시험시스템에 관한 것이다.

시험해야 할 반도체 디바이스(일반적으로 IC라고 불리운다)에 소정 패턴의 시험신호를 인가하여 그 전기적 특성을 측정하는 반도체 디바이스 시험장치(일반적으로 IC 테스터라고 불린다)에는 반도체 디바이스를 테스트부로 반송하고, 이 테스트부에서 반도체 디바이스를 시험장치의 테스트헤드에 전기적으로 접속시켜, 시험후에 시험된 반도체 디바이스를 테스트부로부터 반출하고, 시험결과에 따라서 시험된 반도체 디바이스를 양품, 불량품으로 구분하는 반도체 디바이스 반송처리장치(일반적으로 핸들러라고 불린다)가 장착되어 있는 것이 많다. 본 명세서에서는 이 종류의 핸들러가 장착되어 있는 시험장치를 반도체 디바이스 시험장치라고 칭한다. 또한, 이하에 있어서는 설명을 간단히 하기 위해서 반도체 디바이스의 대표예인 IC를 예로 들어서 설명한다.

IC는 집적도의 향상과 동시에 단자수가 많아져서 IC를 경사진 반송로에서 자중에 의해 떨어뜨려 시험을 행하는 자연낙하식의 핸들러를 장착한 IC 시험장치로는 단자수가 많은 IC를 시험하는 것은 곤란하게 되어 있다. 이 때문에, 최근에는 IC를 진공흡착헤드로 흡착하고, X-Y 반송수단을 사용하여 흡착한 IC를 임의의 장소에 반송할 수 있는 수평반송방식이라고 불리고 있는 핸들러가 IC 시험장치에 장착되어 있다.

수평반송방식의 핸들러를 장착한 IC 시험장치로서, 종래부터 다음 2개의 형식의 것이 실용화되어 있다.

(1) 다수개의 IC를 평면형상에 얹어 놓은 트레이를 IC 시험장치의 소정 위치에 놓고, 이 IC를 얹어 놓은 트레이로부터 진공흡착헤드로 소정수의 IC를 흡착하고, 이들 흡착한 IC를 X-Y 반송수단을 사용하여 예열부→테스트부로 순차반송하여 시험을 행하고, 시험된 IC를 X-Y 반송수단을 사용하여 양품 및 불량품으로 구분하면서 트레이에 되돌리는 형식의 것.

(2) 사용자가 IC 시험장치의 외부에서 IC를 운반하거나, 소정의 장소에 격납하는데 사용된다. 범용트레이(카스트마트레이)에 다수개의 IC를 평면형상에 얹어 놓고, 즉 재치하고, 이 IC를 재치한 범용트레이를 IC 시험장치의 로우더부에 배치하고, 이 로우더부에서 범용트레이로부터 고/저온에 건다는 테스트트레이로 IC를 전송하고, 이 테스트트레이를 양온조를 경유하여 테스트부로 반송하고, 이 테스트부에서 테스트트레이에 IC를 탑재한 새로 테스트헤드에 IC를 전기적으로 접속시켜 시험을 실시하고, 시험종료후, 테스트트레이를 재열조를 경유하여 인로우더부로 반출하여, 이 인로우더부에서 시험된 IC를 테스트트레이로부터 양품, 불량품으로 분류하면서 범용트레이로 전송하는 형식의 것이 있다.

전자의 형식(1)의 핸들러를 장착한 IC 시험장치는, 한번에 시험할 수 있는 IC의 개수가 2~4개 정도에 제한되기 때문에 처리속도가 느리고 시간이 걸린다. 결국, 고속처리에 적합하지 않다. 후자의 형식(2)의 핸들러를 장착한 IC 시험장치는 IC를 테스트트레이에 탑재한 상태로 테스트부에서 시험장치의 테스트헤드에 접속시킬 수 있기 때문에, 한번에 16개, 32개 혹은 64개 등의 다수개의 IC를 시험할 수 있다. 따라서, 현재는 후자의 형식(2)의 핸들러를 장착한 IC 시험장치가 주류가 되고 있다.

우선, 도 4 및 도 5를 참조하여 후자의 형식(2)의 핸들러를 장착한 종래의 IC 시험장치의 개략의 구성을 설명한다. 도시의 IC 시험장치는, 테스트트레이(TST)에 탑재되어 반송되는 예컨대 반도체 메모리같은 IC를 시험하는 멤버부(100)와, 이로부터 시험을 행하는 IC(피시험 IC)이나, 시험된 IC를 분류하여 격납하는 격납부(200)와, 사용자가 미리 범용트레이(카스트마트레이)(KST)에 재치한 피시험 IC를, 고/저온에 건다는 테스트트레이(TST)에 전송, 재치하는 로우더부(300)와, 멤버부(100)에서의 시험이 종료하고,

테스트트레이(TST)에 재치되어 반송되는 시험필의 IC를 테스트트레이(TST)에서 범용트레이(KST)로 전송, 재치하는 엔로우더부(400)를 구비하고 있다. 이 엔로우더부(400)는, 일반적으로, 시험결과와 데이터에 기초해서 시험필 IC를 카테고리마다 분류하여 대응하는 범용트레이에 탑재하도록 구성되어 있다.

램버부(100)는, 테스트트레이(TST)에 적재된 피시험 IC에 목적으로 하는 고온 또는 저온의 온도스트레스를 부여하는 항온조(101)와, 이 항온조(101)로 온도스트레스가 부여된 상태에 있는 IC의 전기적 시험을 실행하는 테스트램버(102)와, 테스트램버(102)에서의 시험이 종료한 IC로부터, 항온조(101)에서 부여된 온도스트레스를 제거하는 제열조(103)에 의해 구성되어 있다. 테스트램버(102)는 그 내부에 IC 시험장치의 테스트헤드(104)를 포함하고, 이 테스트헤드(104)에 전기적으로 접속된 피시험 IC에 대하여 이 테스트헤드(104)를 통하여 시험용의 각종의 전기신호를 공급함과 동시에 피시험 IC로부터의 응답신호를 수신하여 시험장치로 보낸다.

테스트트레이(TST)는, 로우더부(300)→램버부(100)의 항온조(101)→램버부(100)의 테스트램버(102)→램버부(100)의 제열조(103)→엔로우더부(400)→로우더부(300)와 순환이행된다. 항온조(101) 및 제열조(103)는 테스트램버(102)보다도 높이가 높고, 따라서, 왼쪽에 돌출한 부분을 가진다. 이들 항온조(101)와 제열조(103)의 왼쪽에 돌출한 상부 사이에는, 도 5에 도시한 바와 같이 가판(105)이 넘겨지고, 이 가판(105) 상에 테스트트레이반송수단(108)이 장착되고, 이 테스트트레이반송수단(108)에 의해서 테스트트레이(TST)가, 제열조(103)측으로부터 항온조(101)를 향하여 이동된다.

제열조(103)는, 항온조(101)로 피시험 IC에 고온의 온도스트레스를 인가한 경우에는, 승중에 의해 병각하여 실온에 되돌리고 나서 엔로우더부(400)로 반송한다. 또한, 항온조(101)에서 피시험 IC에, 예컨대 -30℃ 정도의 저온의 온도스트레스를 인가한 경우에는, 온풍 혹은 히터 등으로 가열하여, 급로가 생기지 않은 정도의 온도로 되돌리고 나서 엔로우더부(400)로 반송한다.

로우더부(300)에서 피시험 IC가 적재된 테스트트레이(TST)는, 로우더부(300)로부터 램버부(100)의 항온조(101)로 반송된다. 항온조(101)에는 수직반송수단이 장착되어 있고, 이 수직반송수단은, 특수매(예컨대 9매)의 테스트트레이(TST)를 적층상태로 지지할 수 있도록 구성되어 있다. 도시의 예로서는 로우더부(300)부터 테스트트레이가 제열 위에 지지되고, 제열 아래의 테스트트레이가 테스트램버(102)로 반송된다. 수직반송수단의 수직방향 아래쪽으로는 이동에 의해서 제열 위의 테스트트레이가 제열 아래까지 순차이동되는 사이에, 또한, 테스트램버(102)가 될 때까지 대기하는 사이에, 피시험 IC는 고온 또는 저온의 소정의 온도스트레스를 부여받는다. 테스트램버(102)에는 그 중앙에 테스트헤드(104)가 배치되어 있고, 항온조(101)로부터 1매씩 반송된 테스트트레이(TST)가 테스트헤드(104)의 위로 순반되어 흡수하는 것처럼, 그 테스트트레이에 탑재된 피시험 IC의 소정수의 피시험 IC가 테스트헤드(104)에 부착된 IC 소켓(도시하지 않음)과 전기적으로 접속된다. 테스트헤드(104)를 통하여 한 장의 테스트트레이 상의 모든 피시험 IC의 시험이 종료하면, 테스트트레이(TST)는 제열조(103)로 반송되어 시험필 IC의 온도스트레스가 제거되어, IC의 온도를 실온으로 되돌려서, 엔로우더부(400)로 배출한다.

제열조(103)도 상기 항온조(101)와 동일하게 수직반송수단을 구비하고 있고, 이 수직반송수단에 의해 특수매(예컨대 9매)의 테스트트레이(TST)를 적층상태로 지지할 수 있도록 구성되어 있다. 도시의 예에서는 테스트램버(102)부터의 테스트트레이가 제열 아래에 지지되고, 제열 위의 테스트트레이가 엔로우더부(400)로 배출된다. 수직반송수단의 수직방향 왼쪽으로의 이동에 의해서 제열 아래의 테스트트레이가 제열 위까지 순차이동되는 사이에, 시험필 IC는 부여된 온도스트레스가 제거되어 외부온도(실온)로 복귀된다.

엔로우더부(400)로 배출된 테스트트레이(TST) 상의 시험필 IC는 테스트트레이로부터 시험결과와 카테고리마다 분류되어, 대응하는 범용트레이(KST)에 전송, 격납된다. 엔로우더부(400)에서 비워진 테스트트레이(TST)는 로우더부(300)로 반송되고, 여기서 범용트레이(KST)에서 다시 피시험 IC가 전송, 재치된다. 이와 같은 동작을 반복하는 것이 된다.

로우더부(300)에 있어서 범용트레이(KST)에서 테스트트레이(TST)에 IC를 전송하는 IC 반송수단으로서, 도 5에 도시한 바와 같이, 가판(105)의 로우더부(300)의 상부에, 시험장치의 전후방향(이 방향을 Y방향으로 한다)에 연재(延在)하도록 가설된 대향하는 평행한 2개의 레일(301)과, 이들 2개의 레일(301) 사이에 가설되어, Y방향으로 이동가능하게 그 양단부가 이 2개의 레일(301)에 지지된 가동아암(302)과, 이 가동아암(302)의 연재하는 방향에, 따라서, 시험장치의 좌우방향(이 방향을 X방향으로 한다)으로 이동가능하게 가동아암(302)에 지지된 가동헤드(303)에 의해 구성되는 X-Y 반송수단(304)를 사용할 수 있다. 상기 구성에 의하면, 가동헤드(303)는, 테스트트레이(TST)와 범용트레이(KST)와의 사이를 Y방향으로 왕복이동할 수 있다. 또한 가동아암(302)을 따라서 X방향으로 이동할 수 있다.

가동헤드(303)의 하면에는 IC 흡착패드가 상하방향으로 이동가능하게 장착되어 있고, 가동헤드(303)의 X-Y 방향 이동과 이 흡착패드의 아래쪽으로는 이동에 의해 범용트레이(KST)에 재치된 IC에 흡착패드가 접촉하고, 전공함의 작용에 의하여 IC를 흡착, 유지하여 범용트레이(KST)로부터 테스트트레이(TST)로 IC를 반송한다. 흡착패드는 가동헤드(303)에 대하여, 예컨대 8개 정도 장착되고, 한편에 8개의 IC를 범용트레이(KST)로부터 테스트트레이(TST)로 반송할 수 있도록 구성되어 있다.

또, 범용트레이(KST)의 정지위치와 테스트트레이(TST)의 정지위치와의 사이에는 플리사이사라고 불리는 IC의 위치수정수단(305)(도 5)이 설치된다. 이 위치수정수단(305)은 비교적 깊은 오목부를 가지고, 이 오목부에 흡착패드가 흡착되어 테스트트레이(TST)로 반송되는 IC를 일단 떨어뜨려 놓는다. 오목부의 주변은 경사면으로 둘러싸여 있고, 이 경사면으로 IC의 낙하위치가 규정된다. 위치수정수단(305)에 의해서 8개의 IC의 상호의 위치를 정확히 규정한 후, 이들 위치가 규정한 IC를 다시 흡착패드로 흡착하여, 테스트트레이(TST)로 반송한다. 이러한 위치수정수단(305)을 설치하는 이유는, 범용트레이(KST)에서는 IC를 유지하는 오목부는 IC의 형상보다도 비교적 크게 형성되어 있고, 이 때문에, 범용트레이(KST)에 격납되어 있는 IC의 위치에는 큰 편차가 있어, 이 상태로 흡착패드로서 흡착한 IC를 직접 테스트트레이(TST)에 반송하면, 테스트트레이(TST)에 형성된 IC 수납오목부에 직접 떨어뜨려 넣을 수 없는 IC가 존재하게 된다. 이 때문에 위치수정수단(305)을 설치하고, 이 위치수정수단(305)으로 테스트트레이(TST)에 형성된 IC 수납오목부의 배열정렬도에 IC의 배열정렬도를 맞추도록 하고 있다.

로우더부(400)에는 로우더부(300)에 설치된 X-Y 반송수단(304)과 동일 구조의 반송수단(404)이 2조 설치되고, 이들 X-Y 반송수단(404)에 의해서 로우더부(400)로 반송된 테스트트레이(TST)에서 시험칩의 IC를 범용트레이(KST)에 바깥 향는다. 각 X-Y 반송수단(404)은, 시험장치의 전진방향(방향)에 면제하도록 개선된 마찰하는 평행한 2개의 레일(401)과, 이 2개의 레일(401) 사이에 가설되어, 방향으로 이동가능하게 그 양단부가 이 2개의 레일(401)에 지지된 가동아암(402)과, 이 가동아암(402)의 연재하는 방향에 따라서 시험장치의 좌우방향(방향)으로 이동가능하게 가동아암(402)에 지지된 가동헤드(403)에 의해 구성되어 있다.

도 6에 테스트트레이(TST)의 일례의 구조를 도시한다. 테스트트레이(TST)는 사각형프레임(12)에 복수의 브리지(13)가 평행하고 또한 같은 간격에 형성되어 있고, 이들 브리지(13)의 양측, 및 브리지(13)와 대향하는 프레임(12)의 변(12a, 12b)에 각각 복수의 부속면(14)이 같은 간격으로 돌출형성되어 있다. 각 브리지(13)의 양측의 부속면(14)은, 한쪽의 부속면(14)이 반대쪽의 부속면(14)의 중간에 위치하도록 형성되어 있고, 마찬가지로, 프레임(12)의 변(12a, 12b)의 부속면(14)은 대향하는 브리지(13)의 부속면(14)의 중간에 위치하도록 형성되어 있다. 이들 대향하는 브리지(13) 사이의 공간, 및 브리지(13)와 대향하는 변(12a, 12b)과의 사이의 공간에, 각각 다수개의 IC 캐리어(16)가 배치상태로 수납된다. 각 IC 캐리어(16)는, 이다 공간에서 위치가 머크나고 있는 배스들에 대향하는 2개의 부속면(14)을 대각선방향의 각 부에 포함하는 1개의 적시각형의 구획된 캐리어수납부(15)에 수납된다. 따라서, 도시의 예에서는 각 브리지(13)의 양측에 16개의 부속면(14)이 형성되어 있으므로 상기 각 공간에 16개의 캐리어수납부(15)가 형성되고, 16개의 IC 캐리어(16)가 부착되어 있다. 도시의 예에서는 4개의 공간이 있으므로 IC 캐리어(16)는 1개의 테스트트레이(TST)에 16×4개, 합쳐서 64개, 부착할 수 있다. 각 IC 캐리어(16)는 2개의 부속면(14)에 패스너(17)에 의해 부착된다.

IC 캐리어(16)의 외형은 등원형상, 등일치수로 하고, 그 중앙부에 IC 소자를 수납하는 IC 수용부(19)가 형성되어 있다. 이 IC 수용부(19)의 형상(모양) 및 치수는 수용하는 IC 소자의 형상 및 치수에 따라서 결정된다. IC 수용부(19)는 이 예에서는 사각형의 오목부라고 되어 있다. IC 수용부(19)의 외형은 캐리어수납부(15)의 대향하는 부속면 사이의 공간에 걸리게 끼워지는 치수로 선택되며, IC 수용부(19)의 양단 부에는 부속면(14)상에 배치되는 돌출부가 각각 설치된다. 이들 양 돌출부에는 패스너(17)가 삽입되는 부속면의 구멍(21)과, 위치결정을 편이 삽입되는 구멍(22)이 각각 형성되어 있다.

IC 캐리어(16)에 수납된 IC 소자의 위치 머크나기나 비출(突出)을 방지하기 위해서, 예컨대 도 7에 도시한 바와 같이 한쌍의 래치(23)가 IC 캐리어(16)에 부착되어 있다. 이들 래치(23)는, IC 수용부(19)의 바닥면으로부터 외측으로 돌출하도록 일체로 형성되어 있고, 또한 IC 캐리어(16)를 구성하는 수지재의 탄성에 의해, 이들 래치(23)는 그것들의 선단부의 대향하는 내일이 닫히는 방향으로 탄성바이어스되어 있다. 따라서, IC 소자를 IC 수용부(19)에 수용할 때에, 또는 IC 수용부(19)로부터 취출할 때에, IC 소자를 정확히 하는 IC 홈캐퍼드(24)의 양측에 배치된 래치해방기구(25)에 의해 2개의 래치(23)의 선단부의 간격을 넓힌 후, IC의 수용 또는 취출이 행하여진다. 래치해방기구(25)를 래치(23)로부터 떼어 내면, 이 래치(23)는 그 탄성력으로 원래의 상태로 되돌아가고, 수용된 IC는 래치(23)의 선단부의 내일로 폐쇄방지된 상태로 유지된다.

IC 캐리어(16)는 도 8에 도시된 것처럼 IC 소자의 핀(18)을 하면측에 노출시킨 상태로 IC 소자를 유지한다. 테스트헤드(104)에는 IC 소켓이 있고, 이 IC 소켓의 컨택트(26)가 테스트헤드(104)의 상면으로부터 외측으로 돌출하고 있다. 이 노출한 IC 소자의 핀(18)을 IC 소켓의 컨택트(26)에 압입하여 즉, 림에 부착시켜 IC 소자를 테스트헤드의 IC 소켓에 전기적으로 접속한다. 이 때문에 테스트헤드(104)의 상면에는 IC 소자를 하향으로 눌러 넣이는 압입자(푸셔)(20)가 설치되며, 이 압입자(20)가 각 IC 캐리어(16)에 수납되어 있는 IC 소자를 외측으로부터 압입하여 눌러 넣어, 테스트헤드(104)에 접속시키도록 구성되어 있다.

테스트헤드(104)에 한번에 접속되는 IC 소자의 개수는 테스트헤드(104)에 부착된 IC 소켓의 개수에 의존한다. 예컨대 도 9에 도시한 것처럼 IC 소자가 4행×16열로 배열되어 있는 경우에는, 각 행의 4열로 배열된 IC 소자(사선으로 지시하는 소자)를 한번에 전부 시험할 수 있도록, 4×4의 16개의 IC 소켓이 테스트헤드(104)에 부착되어 있다. 결국, 1회째의 시험은 각 행의 1, 5, 9, 13열에 각각 배치된 16개의 IC 소자에 대하여 실시되고, 2회째의 시험은 테스트트레이(TST)를 IC 소자 1열분만큼 이동시켜 각 행의 2, 6, 10, 14열에 배치된 16개의 IC 소자에 대하여 실시되고, 이하 마찬가지로 하여 4회의 시험을 실시함에 의해 1개의 테스트트레이에 제치된 모든 IC 소자의 시험이 종료된다. 시험의 결과는 각 1회에 합당한 시리얼번호(1로트내의 시리얼번호), 테스트트레이(TST)에 부여된 식별번호, 및 테스트트레이(TST)의 IC 수용부에 합당한 번호에 의해서 어드레스를 검색하고, 메모리의 대응하는 어드레스에 기억된다. 여기서, 테스트헤드(104)에 32개의 IC 소켓을 부착할 수 있는 경우에는 2회의 시험을 실시할 뿐으로 4행×16열로 배열된 64개의 전부의 IC 소자를 시험할 수 있다. 또, 테스트헤드(102)에 있어서 피시험 IC를 테스트트레이로부터 테스트헤드(104)의 소켓에 전송하여 시험을 행하고, 시험종료후, 다시 소켓으로부터 테스트트레이로 전송하여 반송하는 일식의 원형도 있다.

IC 격납부(200)에는 피시험 IC를 격납한 범용트레이(KST)를 수용하는 피시험 IC 스토커(201)와, 시험의 결과에 따라서 카테고리마다 분류된 시험할 IC를 격납한 범용트레이(KST)를 수용하는 시험할 IC 스토커(202)가 설치된다. 이들 피시험 IC 스토커(201) 및 시험할 IC 스토커(202)는 범용트레이(KST)의 적용상태로 수용할 수 있도록 구성되어 있다. 피시험 IC 스토커(201)에 적용상태로 수용된 피시험 IC를 격납한 범용트레이(KST)는 상부의 트레이로부터 순차 로우더부(300)로 운반되며, 로우더부(300)에 있어서 범용트레이(KST)로부터 로우더부(300)로 정지하고 있는 테스트트레이(TST)에 피시험 IC를 바깥 향는다.

피시험 IC 스토커(201) 및 시험할 IC 스토커(202)는 같은 형상 및 구조를 가지는 것이 좋고, 그 1개당 도 10에 도시한 바와 같이, 상면이 개방되어, 바닥면에 개구를 가지는 트레이지지프레임(203)과, 이 트레이지지프레임(203)의 하부에 배치되어, 트레이지지프레임(203) 바닥면의 개구를 통하여 트레이지지프레임(203)내를 상하방향으로 승강가능한 엘리베이터(204)를 구비하고 있다. 트레이지지프레임(203)내에는 범용트레이(KST)가 특수매 겹쳐 쌓여져서 수납, 지지되고, 이 겹쳐 쌓여진 범용트레이(KST)가 트레이지지프레임(203)의 바닥면으로부터 출입하는 엘리베이터(204)에 의해서 상하방향으로 이동된다.

도 4 및 도 5에 도시된 예에서는, 시험할 IC 스토커(202)로서 8개의 스토커(STK-1, STK-2, ..., STK-8)를

준비하고, 시험결과에 따라서 최대 6개의 카테고리에 분류하여 격납할 수 있도록 구성되어 있다. 이것은, 시험용 IC의 양품과 불량품으로 구분하는 것 외에도 양품의 안에서 또 등속도가 고속의 것, 중속의 것, 저속의 것, 혹은 불량품의 안에서 또 저시험이 필요한 것 등으로 분류하여 하는 일이 있기 때문이다. 분류가능한 카테고리의 최대가 6종류로서도, 도시의 예에서는 엔로우더부(400)에는 4종의 범용 트레이(KST)만이 배치할 수 있다. 이 때문에, 엔로우더부(400)에 배치되어 있는 범용트레이(KST)에 할당된 카테고리 이외의 카테고리에 분류되는 시험용 IC 소자가 발생한 경우에는, 엔로우더부(400)로부터 1종의 범용트레이(KST)를 IC 격납부(200)에 되돌려서, 이것에 대신해서 새롭게 발생한 카테고리의 IC 소자군 격납해야 함. 범용트레이(KST)를 IC 격납부(200)로부터 엔로우더부(400)로 전송하고, 그 IC 소자군 격납하는 순서를 취하고 있다.

도 5에 도시한 바와 같이, 피시험 IC 스토커(201) 및 시험용 IC 스토커(202)의 상부에는 기판(105)과의 사이에 있어서 피시험 IC 스토커(201)와 시험용 IC 스토커(202)의 배면방향(시험장치의 좌우방향)의 전방위에 걸쳐 이동가능한 트레이반송수단(205)이 설치된다. 이 트레이반송수단(205)은 그 하면에 범용트레이(KST)를 파지하는 파지구멍 구비하고 있다. 피시험 IC 스토커(201)의 상부에 트레이반송수단(205)을 이동시키고, 그 상태로 엘리베이터(204)를 구동시키고, 스토커(201)내에 걸쳐 쌓아진 범용트레이(KST)를 상승시킨다. 상승하여 오는 범용트레이(KST)의 최상단의 트레이를 트레이반송수단(205)의 파지구멍으로 파지한다. 트레이반송수단(205)에 피시험 IC를 격납하고 있는 최상단의 범용트레이(KST)를 인도하면, 엘리베이터(204)는 하강하여, 원래의 위치로 되돌아간다. 트레이반송수단(205)은 수평방향으로 이동하여, 로우더부(300)의 위치로 정지한다. 이 위치에서 트레이반송수단(205)은 파지구멍으로부터 범용트레이를 제거하고 약간 아래쪽으로 위치하는 트레이발열(도시하지 않음)에 범용트레이(KST)를 내린다. 트레이발열에 범용트레이(KST)를 내린 트레이반송수단(205)은 로우더부(300) 이외의 위치에 이동한다. 이 상태로 범용트레이(KST)가 제거되어 있는 트레이발열의 아래쪽으로부터 엘리베이터(204)가 상승하고, 이 트레이발열을 위로 상승시킨다. 따라서, 피시험 IC를 탑재하고 있는 범용트레이(KST)도 위로 상승되고, 기판(105)에 형성된 황(106)에 범용트레이(KST)가 노출한 상태로 유지된다.

엔로우더부(400)의 상부의 기판(105)에도 같은 황(106)이 2개 형성되어 있고, 이들 황(106)으로부터 빈 범용트레이가 노출한 상태로 유지되어 있다. 각 황(106)은, 이 예에서는, 2개의 범용트레이가 노출하는 처수를 가지고 있고, 따라서, 엔로우더부(400)의 2개의 황(106)로부터는 4개의 빈 범용트레이가 노출하고 있다. 이들 황의 범용트레이(KST)에, 각 범용트레이에 할당된 카테고리에 따라서 시험용 IC를 분류하고 격납한다. 로우더부(300)의 경우와 동일하게 각 범용트레이는 트레이발열상에 위치되어 있고, 각 트레이발열은 엘리베이터(204)에 의해서 상하방향에 승강한다. 1개의 범용트레이가 가득차게 되면, 그 범용트레이(KST)는 엘리베이터(204)에 의해서 황(106)의 위치로부터 강하되어, 트레이반송수단(205)에 의해서 자기에게 할당된 카테고리의 트레이격납위치에 수납된다. 또, 도 4 및 도 5에 도시한 206은 빈 범용트레이(KST)를 수용하는 빈 트레이스토커를 가리킨다. 이 빈 트레이스토커(206)로부터 빈 범용트레이가 트레이반송수단(205), 엘리베이터(204)에 의해서 엔로우더부(400)의 각 황(106)의 위치에 반송, 유지되며, 시험용 IC의 격납에 이바지하게 된다.

상술한 것처럼, IC를 테스트트레이에 바뀐 황 테스트부(헤더부)에 반송하고, 시험을 행하는 상기 형식(2)의 핸들러를 장착한 IC 시험장치를 있어서는, 한번에 시험할 수 있는 IC의 개수를 많게 할 수 있기 때문에 시험에 요하는 시간을 짧게 할 수 있다. 이것에 대하여, 엔로우더부(400)에서는 한번에 6개 정도의 IC를 테스트트레이로부터 범용트레이에 분류하면서 전송하는 작업이 할 수 있을 수 있는 뿐이므로 시험용 IC의 전송작업에 시간이 걸린다. 그런데도, 분류하면서의 작업으로 되기 때문에, 이 분류작업에 시간이 걸린다. 이 때문에, 엔로우더부(400)에는 X-Y 반송장치(2)가 설치하고 있지만, 여전히 시험에 요하는 시간보다도 분류에 요하는 시간의 폭이 짧게 되어 버린다고 하는 불편함이 생긴다.

또한, 상기 형식(2)의 핸들러를 장착한 IC 시험장치에서는, 엔로우더부(400)에서 시험용 IC를 테스트트레이(TST)에서 범용트레이(KST)에 전송할 때에, X-Y 반송수단(404)은 테스트트레이(TST) 상의 각 IC격납머(16)에 할당된 어드레스에 의해 시험용 IC를 범용트레이에 전송한 것을 기억장치에 기억하고 있으며, 이 기억에 기초해서 테스트트레이(TST)상에 전송하는 것을 잊어버린 IC가 남지 않도록 전송동작을 행하고 있지만, 극히 드물게 전송하는 것을 잊어버린 IC가 테스트트레이상에 남는 적이 있다.

엔로우더부(400)에 있어서 IC가 남겨지게 되었다면 테스트트레이(TST)는 그대로 로우더부(300)로 반송되므로, 로우더부(300)에서는 잔존하는 시험용 IC의 위에 새롭게 피시험 IC를 거듭 탑재하여 버리는 것이 된다. 이 경우에는 2단으로 걸쳐진 상단의 피시험 IC는 테스트트레이의 면으로부터 침출하기 때문에, 황온조(101)의 내부에서 상측으로 다음 테스트트레이가 걸쳐 쌓아지는 때에, 왼쪽에 단단한 상단의 피시험 IC는 다음 테스트트레이가 삽입되는 때에 밀려서 낙하하거나, 파손사고가 발생하는 불편함이 발생한다.

IC가 황온조(101)의 내부에서 테스트트레이(TST)의 위로부터 낙하하는 것과 같은 사고가 일어난 경우에는, 황온조(101)내의 하루에 설치되는 반송장치 등에 낙하한 IC가 간섭하여, 반송체중으로 되는 사고가 일어난 염려가 있다. 또한, 가령 걸쳐 쌓아진 피시험 IC가 넘쳐서 떨어지는 염려가 시험되어 엔로우더부(400)로 반송된 경우에는, 아래쪽의 시험용 IC의 시험결과에 의해, 상측의 IC가 분류되어 버리기 때문에, 잘못된 분류가 행하여져 버린다고 하는 불편함도 생긴다.

본 발명이 이루고자 하는 기술적 과제

발명의 개시:

본 발명의 제1의 목적은, 엔로우더부에서의 테스트트레이로부터 범용트레이로의 시험용 IC의 전송작업을 고속도로 실행할 수 있는 IC 시험시스템을 제공하는 것이다.

본 발명의 제2의 목적은, 복수개의 IC 시험장치를 구비하고, 다량의 IC에 대하여 이들 IC 시험장치를 사용하여 조건이 다른 시험을 순차로 실시하는 IC 시험시스템에 있어서, 다량의 IC에 대한 복수회의 시험을 급속적 짧은 시간으로 실시함과 동시에, 이것들의 시험결과에 따라서 행해지는 분류작업도 단시간에

행할 수 있도록 한 IC 시험시스템을 제공하는 것이다.

본 발명의 제3의 목적은, 테스트트레이상에 시험편 IC가 남겨져 버리는 사고를 방지할 수 있는 IC 시험장치를 제공하는 것이다.

본 발명의 제4의 목적은, IC를 탑재한 테스트트레이로부터 IC가 넘쳐서 떨어진 것을 검출할 수 있는 IC 시험장치를 제공하는 것이다.

본 발명의 제1의 면에 의하면, 로우더부에서 피시험 IC를 범용트레이로부터 테스트트레이에 바꿔 싣고 피시험 IC를 탑재한 테스트트레이를 항온조로부터 테스트부로 반송하고, 이 테스트부에서 테스트트레이에 탑재된 IC를 시험하고, 시험종료후에 테스트트레이를 엔로우더부로 반송하고, 이 엔로우더부에서 시험편 IC를 범용트레이로 전송하는 IC 시험장치를 구비한 IC 시험시스템에 있어서, 상기 범용트레이에 탑재된 시험편 IC의 분류작업을 실행하는 분류전송기단 설치함과 동시에, 상기 IC 시험장치를 제어하는 호스트 컴퓨터 또는 상기 IC 시험장치에 격납정보기록수단을 설치하고, 각 IC에 할인 처리번호, 각 범용트레이에 할인 식별번호 및 범용트레이의 각 IC 수납부에 할인 번호로 결정되는 상기 격납정보기록수단의 어드레스에, 상기 범용트레이의 각 IC 수납부에 수납된 시험편 IC의 시험결과 및 상기 테스트부에서 접속된 소켓번호 등의 격납정보를 기억시켜, 이 격납정보에 기초해서 상기 분류전송기에 의해 상기 시험편 IC의 분류작업을 행하게 하도록 한 IC 시험시스템이 제공된다.

상기 제1의 면에 의한 IC 시험시스템에 의하면, 분류전송기에 의해 격납정보기록수단에 기억시킨 격납정보를 이용하여 모든 시험편 IC의 분류를 행할 수 있다. 따라서, 엔로우더부에서는 분류작업을 하진 않고서, 단지 테스트트레이로부터 범용트레이로 IC를 전송하는 것만으로 용이로, 고속으로 IC를 바꿔 싣을 수 있다. 특히, 분류가 많기 때문에, 대응하는 카테고리 범용트레이가 엔로우더부에 배치되어 있지 않은 경우라도 그 카테고리의 범용트레이를 엔로우더부에 반송시키는 필요가 없으므로, 처리속도를 높일 수 있다.

본 발명의 제2의 면에 의하면, 로우더부에서 피시험 IC를 범용트레이로부터 테스트트레이에 바꿔 싣고, 이 피시험 IC를 탑재한 테스트트레이를 항온조로부터 테스트부로 반송하고, 이 테스트부에서 테스트트레이에 탑재된 IC를 시험하고, 시험종료후에 테스트트레이를 엔로우더부로 반송하고, 이 엔로우더부에서 시험편 IC를 범용트레이로 전송하는 IC 시험장치를 특수대 구비하여, 이들 IC 시험장치에 있어서의 시험조건을 서로 다르게 특수화의 시험을 실행하는 IC 시험시스템에 있어서, 상기 범용트레이에 탑재된 시험편 IC의 분류작업을 실행하는 분류전송기단 설치함과 동시에, 상기 각 IC 시험장치를 제어하는 호스트 컴퓨터 또는 상기 각 IC 시험장치에 격납정보기록수단을 설치하고, 각 IC에 할인 처리번호, 각 범용트레이에 할인 식별번호 및 범용트레이의 각 IC 수납부에 할인 번호로 결정되는 상기 격납정보기록수단의 어드레스에, 상기 범용트레이의 각 IC 수납부에 수납된 시험편 IC의 시험결과 및 상기 테스트부에서 접속된 소켓번호 등의 격납정보를 기억시켜, 상기 각 IC 시험장치로는 시험편의 IC를 양측과 클램프의 2개로만 분류시키고, 상기 격납정보기록수단에 기억시킨 격납정보에 기초해서 상기 분류전송기에 의해 상기 시험편 IC의 나머지의 세 분류작업을 행하게 하도록 한 IC 시험시스템이 제공된다.

상기 제2의 면에 의한 IC 시험시스템에 의하면, 엔로우더부에서의 분류작업이 2차원일에 제한되어 있기 때문에, 엔로우더부에서 모든 카테고리 분류하는 경우보다도 범용트레이로의 전송작업이 고속으로 행하여진다. 이와 동시에, 한번 실행으로 판정된 IC는 다음 시험조건에서의 시험에는 공급되지 않으므로 실행으로 판정된 IC를 다시 시험하는 경우는 없어지며 시험시간이 단축된다. 따라서, IC를 고속으로 시험할 수 있다고 하는 이점이 있다. 또한, 격납정보기록수단에 기억시킨 정보를 이용하여, 분류전송기로 시험편 IC를 상세한 분류로 구분하도록 하 있기 때문에, 대응하는 카테고리의 범용트레이가 엔로우더부에 배치되어 있지 않은 경우라도 그 카테고리의 범용트레이를 엔로우더부로 반송시킬 필요가 없고, 따라서 처리속도를 높일 수 있다.

본 발명의 제3의 면에 의하면, 로우더부에서 피시험 IC를 범용트레이로부터 테스트트레이에 바꿔 싣고 테스트부로 반송하고, 테스트부에 있어 IC의 시험을 행하고, 테스트종료후에 엔로우더부로 반송하여 테스트트레이로부터 범용트레이로 시험편 IC를 옮겨서 빈 테스트트레이를 엔로우더부로부터 로우더부로 보내고, 로우더부에서 이 빈 테스트트레이에 새로운 피시험 IC를 적치해서 연속적으로 IC를 시험하는 IC 시험장치에 있어서, 엔로우더부와 로우더부의 사이에, 이동중의 테스트트레이상에 IC가 존재하는가 아닌가를 검출하는 IC 검출센서를 설치하여, 테스트트레이상에 IC가 남겨진 상태를 검출할 수 있도록 한 IC 시험장치가 제공된다.

또한, 본 발명의 제4의 면에 의하면, 로우더부에 있어서 피시험 IC를 범용트레이로부터 테스트트레이로 바꿔 싣아 테스트부로 반송하여 테스트부에 있어서 IC의 시험을 행하고, 테스트종료후에 엔로우더부로 반송하고 테스트트레이로부터 범용트레이로 시험편 IC를 옮겨서, 빈 테스트트레이를 엔로우더부로부터 로우더부로 보내고, 로우더부에 있어서 이 빈 테스트트레이에 새로운 피시험 IC를 싣아 연속적으로 IC를 시험하는 IC 시험장치에 있어서, 테스트부로부터 엔로우더부로 항에서 반송되는 테스트트레이의 반송로의 도중에 테스트트레이의 IC 수납부가 비어 있는가 아닌가를 감시하는 기능을 구비한 IC 시험장치가 제공된다.

다음에, 본 발명의 제5의 면에 의하면, 로우더부에 있어서 피시험 IC를 범용트레이로부터 테스트트레이에 바꿔 싣아 테스트부로 반송하고, 테스트부에 있어서 IC의 시험을 행하고, 테스트종료후에 엔로우더부로 반송하여 테스트트레이로부터 범용트레이로 시험편 IC를 옮겨서, 빈 테스트트레이를 엔로우더부로부터 로우더부로 보내고, 로우더부에 있어서 이 빈 테스트트레이에 새로운 피시험 IC를 싣아 연속적으로 IC를 시험하는 IC 시험장치에 있어서, 로우더부로부터 테스트부를 항에서 반송되는 테스트트레이의 반송로의 도중에 테스트트레이의 IC 수납부가 비어 있는가 아닌가를 감시하는 기능을 구비한 IC 시험장치가 제공된다.

상기 제3의 면에 의한 IC 시험장치에 의하면, 엔로우더부에서 로우더부를 항에서 이동중의 테스트트레이상에 IC가 남겨져 있었다고 해도, 그 IC의 존재를 IC 검출센서에 의해서 검출할 수 있으므로, 테스트트레이가 로우더부에 도달한 때에, 로우더부에 있어서 그 존재하는 IC를 테스트트레이로부터 제거할 수 있다. 그 결과, IC가 2단으로 겹쳐 쌓이지 않고, 상당의 IC가 항온조내에서 하부로 낙하하는 등의 사고

가 발생하는 일이 없으며, 안정성이 높은 IC 시험장치를 제공할 수 있다.

또한, 상기 제4의 면에 의한 IC 시험장치에 의하면, 테스트부에 있어서, 테스트트레이로부터 테스트편의 IC가 넘쳐서 떨어지지 않게 버퍼더라도, 테스트트레이인 테스트부로부터 엔로우더부로 반송하고 있는 사이에 IC를 분산한 테스트트레이의 IC 수납부의 위치를 검출할 수 있다. 따라서, 엔로우더부에서는 그 검출한 IC 수납부에 관한 분류작업을 중지시킬 수 있어, 분류작업에 요하는 시간을 단축할 수 있다.

더욱이, 상기 제5의 면에 의한 IC 시험장치에 의하면, 엔로우더부로부터 테스트부를 향해서 테스트트레이를 반송하고 있는 사이에, IC가 테스트트레이로부터 낙하하였다고 해도, 테스트트레이가 테스트부에 반송되기까지의 사이에, 빈 테스트트레이의 IC 수납부를 검출할 수 있다. 따라서, 테스트부에서는 테스트트레이의 빈 IC 수납부에 대한 테스트동작을 중지할 수 있으므로, 쓸모없는 시간을 쓰지 않아도 되고, 시험시간이 단축가능하다.

실시의 구성 및 작용

시험을 실시하기 위한 첫번째 실시예

도 1에 본 발명에 의한 IC 시험시스템의 제1의 실시예를 도시한다. 이 IC 시험시스템은 3대의 IC 시험장치(1A, 1B 및 1C)로 구성되어 있다. 각 IC 시험장치(1A, 1B 및 1C)는 같은 구성을 가지고 있고, 피시험 IC에 소정의 패턴의 시험신호를 인가하여 그 전기적 특성을 측정하는 IC 시험장치의 전기적인 부분, 즉, IC 테스트부(10)도 5의 주로 아래쪽의 기대부분과, 핸들러부(11)도 5의 주로 상쪽의 기구부분에 의해 구성되어 있다. 각 IC 시험장치의 IC 테스트부(10)는 호스트컴퓨터(2)의 관리하에 놓여 있고, 이 호스트컴퓨터(2)에 의해서 제어된다. 또한, 시험편의 IC의 분류작업을 행하는 분류전송기(3)가 설치된다. 또, 일반적으로는 1대의 IC 테스트부(10)에 대하여 2대의 핸들러부(11)를 짜넣어 1개의 IC 시험장치로서 운용하는 경우가 많다. 도시하지 않지만, 이 실시예에 있어서도 각 IC 시험장치에는 핸들러부(11)가 2대 조합되어 있다.

각 IC 시험장치(1A, 1B 및 1C)의 핸들러부(11)는, 도 4 내지 도 10을 참조하여 전술한 종류의 IC 시험장치와 동일하게 테스트트레이에 탑재되어 반송되어 온 IC를 시험하는 챔버부와, 피시험 IC나 시험편의 IC를 분류하여 격납하는 IC 격납부와, 사용자가 미리 범용트레이에 재치한 피시험 IC를 고/저온에 건디는 테스트트레이에 전용, 올바르게 재치하는 엔로우더부와, 챔버부에서의 시험이 종료하고, 테스트트레이에 재치되어 반송되어 오는 시험편의 IC를 테스트트레이로부터 범용트레이에 전송, 올바르게 재치하는 엔로우더부를 구비하고 있다. 또한, 챔버부는, 테스트트레이에 적치된 피시험 IC에 특적으로 하는 고온 또는 저온의 온도스트레스를 부여하는 항온조와, 이 항온조에서 온도스트레스가 부여된 상태로 있는 IC를, IC 테스트부(10)의 테스트헤드에 전기적으로 접속시켜, 시험을 실행하는 테스트챔버와, 테스트챔버에서의 시험이 종료한 IC에서, 항온조에서 부여된 온도스트레스를 제거하는 제열조에 의해 구성되어 있다.

이 실시예에 있어서는, 각 IC 시험장치(1A, 1B 및 1C)는 같은 시험조건으로 IC를 시험하고, 각 핸들러부(11)의 엔로우더부에 있어서, 시험편의 IC를 테스트트레이로부터 전용, 분류작업을 행하지 않고서 범용트레이로 전송하고, 복수회의 시험이 모두 종료한 후에, 시험편 IC를 분류전송기(3)로 운반하고, 이 분류전송기(3)로써, 시험편 IC의 분류작업을 일괄해서 행하는 것을 목적으로 하는 것이다.

이 때문에, 이 실시예로서는 호스트컴퓨터(2)에 격납정보기록수단(4)이 설치된다. 이 격납정보기록수단(4)에는 IC의 시험결과를 모두 기억시킨다. 이들 시험결과를, 각 핸들러부(11)의 엔로우더부에서 시험편의 IC를 테스트트레이로부터 범용트레이로 전송할 때마다, 각 IC에 할당된 시험번호, 각 범용트레이에 들어진 칩번호, 범용트레이의 각 IC 수납부에 대응하여 할당된 번호 등에 의해서 기억해야 할 격납정보기록수단(4)의 어드레스를 결정하여, 그 어드레스에 기억시킨다. 시험결과로서는 시험의 조건, 양품의 속의 예컨대 고속, 저속, 저속의 동작속도의 분류, 불량품의 속의 재테스트의 필요와 불필요, 시험시에 접속한 테스트헤드의 소켓번호 등을 기억시킨다. 이 기억되는 격납정보는 IC 테스트부(10)를 경유하여 엔로우더부 컴퓨터 사이에 있어서의 8P18 통신포트 또는 RS232C 통신포트 등의 통신수단(5)에 의해 호스트컴퓨터(2)에 전송하고, 격납정보기록수단(4)에 기억된다.

격납정보기록수단(4)은 메모리로 구성할 수 있다. 격납정보기록수단(4)에 기억한 격납정보는 예컨대 각 IC 시험장치(1A, 1B 및 1C)의 별로 플로피디스크 등의 기억매체에 기억시켜 분류전송기(3)에 제공하거나, 혹은 통신수단(5)을 이용하여 분류전송기(3)에 전송할 수 있다.

각 핸들러부(11)의 엔로우더부에서 분류되지 않고서 전송된 시험편의 IC를 탑재한 범용트레이는, 예컨대 도 2에 도시한 바와 같이 내부에 특수패의 범용트레이(KST)를 수평위치에서 수용할 수 있는 선반을 설치한 상자형의 용기(27)에 수용하여 분류전송기(3)로 운반하여도 되고, 혹은 각 핸들러부(11)와 분류전송기(3)와의 사이에, 트레이반송장치를 각각 가설하여, 이들 트레이반송장치에 의해서 분류전송기(3)로 운반하더라도 된다. 용기(27)는 범용트레이(KST)를 출입시키기 위한 개폐덮개(28)를 구비하고 있다. 분류전송기(3)에서는 이 분류전송기(3)에 운반된 범용트레이(KST)로부터 분류전송기(3)에 설치된 IC 집회패드에 의하여 IC를 취출하고, 그 취출위치에 대응한 어드레스에 기억되어 있는 격납정보에 따라서 시험편 IC의 분류를 실행한다.

도 3은 본 발명에 의한 IC 시험시스템의 제2의 실시예를 도시한다. 이 제2의 실시예의 IC 시험시스템도 상기 제1의 실시예의 시험시스템과 동일하게 3대의 IC 시험장치(1A, 1B 및 1C)로 구성되어 있다. 각 IC 시험장치(1A, 1B 및 1C)는 같은 구성을 가지고 있고, 피시험 IC에 소정의 패턴의 시험신호를 인가하여 그 전기적 특성을 측정하는 IC 시험장치의 전기적인 부분인 IC 테스트부(10)와, 핸들러부(11)에 의해 구성되어 있다. 각 IC 시험장치의 IC 테스트부(10)는 호스트컴퓨터(2)의 관리하에 놓여 있고, 이 호스트컴퓨터(2)에 의해서 제어된다. 또한, 시험편의 IC의 분류작업을 행하는 분류전송기(3)가 설치된다. 또, 이 실시예에 있어서도 각 IC 시험장치에는 핸들러부(11)가 2대 삽입되고 있다.

각 IC 시험장치(1A, 1B 및 1C)의 핸들러부(11)는, 도 4 내지 도 10을 참조하여 전술한 종류의 IC 시험장치와 동일하게 테스트트레이에 탑재되어 반송되어 온 IC를 시험하는 챔버부와, 피시험 IC나 시험편의 IC를 분류하여 격납하는 IC 격납부와, 사용자가 미리 범용트레이에 재치한 피시험 IC를 고/저온에 건디는

테스트트레이에 전송, 급바르게 재처리하는 로우더부와, 멤버부에서의 시험이 종료하고, 테스트트레이에 재처리되어 반송되어 오는 시험편의 IC가 테스트트레이로부터 범용트레이에 전송, 급바르게 재처리하는 로우더부로 구비하고 있다. 또한, 멤버부는, 테스트트레이에 적재된 피시험 IC에 적극적으로 하는 고온 또는 저온의 온도스트레스를 부여하는 항온조와, 이 항온조에서 온도스트레스가 부여된 상태로 있는 IC가, IC 테스터부(10)의 테스트헤드에 전기적으로 접속시켜 시험을 실행하는 테스트멤버부와, 테스트멤버부에서의 시험이 종료한 IC에서, 항온조에서 부여된 온도스트레스를 제거하는 제형조에 의해 구성되어 있다.

이 제2의 실시예에 있어서는 각 IC 시험장치(1A, 1B 및 1C)는 서로 다른 시험조건으로 IC를 시험한다. 시험의 조건으로서의 예컨대 피시험 IC에 부여하는 온도의 다르거나 혹은 등속전압의 다른 등을 말할 수 있다. 또한, 호스트컴퓨터(2)에 격납정보기록수단(4)이 설치된다.

우선, IC 시험장치(1A)에서 피시험 IC를 전량 시험한다. 피시험 IC는 범용트레이에 탑재되어 IC 시험장치(1A)의 엔트리부(11)에 운반된다. 범용트레이는 예컨대 상습한 도 2에 도시한 것처럼 운반용의 용기(27)에 다수개 겹쳐 쌓여지고 수납되며, 엔트리부(11)에 있어서는 용기(27)의 개폐알개(28)를 열고 엔트리부(11)에 장착된다. 범용트레이(KST)는 용기(27)로부터 1매씩 반송되어 로우더부로 보내어진다. 이 로우더부에 있어서 범용트레이(KST)에 탑재되어 있는 IC는 테스트트레이에 전송되어, 이 테스트트레이가 항온조로 들어가 테스트멤버에 보내어져, 테스트 멤버에 배치된 IC 테스터부(10)의 테스트헤드부에 IC가 전기적으로 접속되고, IC의 전기적특성이 시험된다. 테스트트레이에 탑재되어 있는 IC의 모든 테스트가 종료하면, 테스트트레이는 테스트멤버로부터 반송되어, 제형조에서 온도스트레스가 제거되고 엔로우더부에 반송된다.

테스트트레이상의 시험할 IC는 이 엔로우더부에서 범용트레이(KST)에 옮겨진다. 이렇게 옮길 때에, 이 제2의 실시예에서는, 빈 범용트레이(KST)를 적어도 2매준비하고, 시험할 IC를 양종과 불량종으로만 분류한다. 범용트레이(KST)가 양종 및 불량종으로 가득차게 되면, 그 가득차게 된 범용트레이(KST)는 반송수단으로 용기(27)에 적기된다. 이 때, 용기(27)내에 있어서, 예컨대 하단측으로부터 불량종을 탑재한 범용트레이(KST)를 격납하고, 양종을 수납한 범용트레이(KST)는 상단측으로부터 격납한다. 이와 같이 하여 용기(27)내로 양종과 불량종 격납한 범용트레이를 구분한다.

IC 시험장치(1A)에서의 시험이 종료하면, 상습한 것처럼 하여 시험할 IC를 탑재한 범용트레이(KST)를 격납한 용기(27)를 다음의 IC 시험장치(1B)로 옮긴다.

IC 시험장치(1B)에서는 조건이 다른 시험을 실행하지만, 양종의 시험할 IC를 탑재한 범용트레이만이 용기(27)로부터 취출되어 로우더부에 보내어지고, 양종으로 판정된 IC만을 시험한다. IC 시험장치(1B)에서의 제2회째의 시험에서 불량종이 발생한 경우에는, 용기(27)내에 격납되어 있는 불량종을 탑재한 범용트레이(1C 수납부에 권이 있는 것)이 엔로우더부에 반송되며, IC 시험장치(1B)에서 불량종으로 판정된 시험할 IC가 테스트트레이로부터 이 범용트레이로 전송된다. 용기(27)내의 불량종을 탑재한 범용트레이의 IC 수납부에 빈 곳이 없는 경우에는 빈 범용트레이가 용기(27)로부터 혹은 트레이리스트커로부터 엔로우더부로 반송된다.

IC 시험장치(1B)에 있어서, IC 시험장치(1A)에서 양종으로 판정된 시험할 IC가 모두 시험되면, 양종과 불량종을 탑재한 범용트레이가 용기(27)에 격납되면 용기(27)는 다음의 IC 시험장치(1C)로 옮겨진다. 이 IC 시험장치(1C)에서는 조건이 더욱 다른 시험을 실행하지만, 전단의 IC 시험장치(1B)와 동일하게, 양종의 시험할 IC를 탑재한 범용트레이만이 용기(27)로부터 취출되고 로우더부에 보내어지고, 양종으로 판정된 IC만을 시험한다. 단, 이 최종단의 IC 시험장치(1C)는 그 시험결과를 각 범용트레이의 ICID나 호스트컴퓨터(2)에 전송하고, 호스트컴퓨터(2)에 설치한 격납정보기록수단(4)에 기록시킨다.

IC 시험장치(1C)에서의 제3회째의 시험에서 불량종이 발생한 경우에는, 용기(27)내에 격납되어 있는 불량종을 탑재한 범용트레이(1C 수납부에 권이 있는 것)이 엔로우더부에 반송되며, IC 시험장치(1C)에서 불량종으로 판정된 시험할 IC가 테스트트레이로부터 이 범용트레이로 전송된다. 용기(27)내의 불량종을 탑재한 범용트레이의 IC 수납부에 빈 곳이 없는 경우에는 빈 범용트레이가 용기(27)로부터 혹은 트레이리스트커로부터 엔로우더부로 반송된다.

최종의 IC 시험장치(1C)에서 앞의 2회의 시험으로 양종으로 판정된 IC가 모두 시험되면, 용기(27)는 최종단의 IC 시험장치(1C)로부터 분류전용기(3)에 옮겨진다. 분류전용기(3)에서는 호스트컴퓨터(2)로부터 보내어져 오는 격납정보에 따라서 용기(27)내의 시험할 IC를 분류한다. 이 경우, 호스트컴퓨터(2)로부터 보내어져 오는 격납정보는 최종단의 IC 시험장치(1C)로부터 보내어진 시험할 IC에 관한 정보만으로 되어 제1회째 및 제2회째의 시험에서 불량종으로 판정된 시험할 IC의 시험결과를 호스트컴퓨터(2)의 격납정보기록수단(4)에 기록되어 있지 않다. 따라서, 제1회째 및 제2회째의 시험에서 불량종으로 판정된 시험할 IC를 더욱 세부적이고 싶은 경우에는, 분류작업에 약간의 시간이 걸리지만, IC 시험장치(1A 및 1B)에서 불량종으로 판정된 시험할 IC의 시험결과를 호스트컴퓨터(2)에 전송하여 격납정보기록수단(4)에 기록시켜, 모든 시험이 종료하면, 호스트컴퓨터(2)부터의 격납정보에 따라서 용기(27)내의 불량종의 시험할 IC에 대해서도 분류전용기(3)로 분류된 행하면 된다.

도 1 및 도 3에 도시한 제1, 제2의 실시예에서는 IC 시험장치를 1A, 1B, 1C의 3대 설치한 경우를 예시하였지만, IC 시험장치의 대수에 제한은 없다. 또한, IC 시험장치(1C)와 분류전용기(3)의 조합인이라도 엔트리부(11)의 처리속도를 향상시킬 수 있다. 따라서, IC 시험장치(1C)와 분류전용기(3)와의 조합인이라도 그 발명의 상기 목적을 달성할 수 있다. 또한, 제2의 실시예의 IC 시험시스템은 종래 기술로 설명한 형식(1)의 엔트리를 장착한 IC 시험장치에 적용하더라도 유효하다.

다음에, 본 발명에 의한 IC 시험장치의 임 실시예를 도 11에 도시한다. 이 IC 시험장치는 전송한 형식(2)의 엔트리를 장착한 것이며, 피시험 IC에 소정의 패턴의 시험신호를 인가하여 그 전기적특성을 측정하는 IC 시험장치의 전기적인 부분인 IC 테스터부(도 5의 주로 아래쪽의 기대부분)과, 엔트리부(도 5의 주로 상측의 기대부분)에 의해 구성되어 있다. 엔트리부는, 도 4 내지 도 10을 참조하여 전송한 종래의 IC 시험장치와 동일하게 테스트트레이에 탑재되어 반송되어 온 IC를 시험하는 멤버부와, 피시험 IC나 시험편의 IC를 분류하여 격납하는 IC 격납부와, 사용자가 미리 범용트레이에 적치한 피시험 IC를 고/저온에 걸리는 테스트트레이에 전송, 급바르게 재처리하는 로우더부와, 멤버부에서의 시험이 종료하고, 테스트트레이

미에 제치되어 반송되어 오는 시험편의 IC를 테스트트레이로부터 핸들러부에 전송, 올바르게 제치하는 엔로우더부를 구비하고 있다. 또한, 핸들러부는, 테스트트레이에 적재된 피시험 IC에 적절히 하는 고온 또는 저온의 온도스트레스를 부여하는 항온조와, 이 항온조로 온도스트레스가 부여된 상태로 있는 IC인, IC 테스트부의 테스트헤드에 전기적으로 접속시켜 시험을 실행하는 테스트함배와, 테스트함배에서의 시험이 종료한 IC에서, 항온조에서 부여된 온도스트레스를 제거하는 제열조에 의해 구성되어 있다.

도 11은 이 실시예의 주요부의 구성을 설명하기 위한 것이며, 상기 핸들러부의 엔로우더부(400)에 설치하고 있는 테스트트레이(TST)와, 로우더부(300)에 설치하고 있는 테스트트레이(TST)와, 엔로우더부(400)와 로우더부(300)와의 사이에 설치된 IC 검출센서(500)를 도시한다. 이 IC 검출센서(500)는 테스트트레이(TST)에 부착된 각 IC캐리어(16)(도 6 참조)에 IC가 남겨져 있는가 아닌가를, 즉 IC가 남겨져 있는가의 여부를 검출하는 동작을 행한다.

이 실시예에서는 엔로우더부(400)와 로우더부(300)와의 사이에 광원(501)과 수광기(502)에 의해 구성되는 광투과형의 IC 검출센서(500)를 테스트트레이(TST)를 사이에 끼워서 대향하고, 또한 이동방향과 직교하는 방향으로 복수배치하고, 테스트트레이(TST)상에 IC가 남겨져 있는가의 여부를 검출하도록 구성한 경우를 표시한다.

IC 검출센서(500)는 테스트트레이(TST)에 장착한 IC캐리어(16)의 형상(평면의 수)에 대응하여 설치한다. 결국, 테스트트레이(TST)의 이동방향과 직각인 방향(종방향)에 장착된 IC캐리어(16)의 배열개수가 도시된 것처럼 4개(행수가 4)인 경우에는 4개의 IC 검출센서(500)를 IC캐리어(16)의 종방향의 배열피치로 설치하면 좋다. 도시의 예에서는 테스트트레이의 상측에 광원(501)이 배치되어, 테스트트레이의 아래쪽에 수광기(502)가 배치되어 있지만, 물론, 이것과는 반대로 배치하더라도 좋다.

각 IC캐리어(16)의 바닥판에 도 12에 도시한 바와 같이 광투과공(16A)을 형성하고, 이 광투과공(16A)을 통과하는 빛을 수광기(502)로 검출한다. 각 IC캐리어(16)의 바닥판에는 광투과공(16A) 이외에도 광원(501)부터의 빛이 통과하는 개구(1C)의 편이 노출하는 개구(들)이 있으므로 광투과공(16A)을 통과한 빛만을 검출해야 한다. 이 때문에, 도 13에 확대하여 도시한 바와 같이, 이 실시예에서는 테스트트레이(TST)를 구성하는 사각형프레임(12)의 진행방향과 평행하는 변의 한쪽에 테스트트레이의 진행방향으로 배열된 각 IC캐리어(16)의 바닥판의 광투과공(16A)과 대응하는 위치에 있어서, 반사마크(503A)를 붙인다. 이 반사마크(503A)는, 그 진행방향의 길이가 테스트트레이의 진행방향으로 배열된 각 IC캐리어(16)의 바닥판의 광투과공(16A)의 지름과 같거나 혹은 약간 크게 선정되어 있다. 테스트트레이의 사각형프레임(12)은 이 실시예에서는 비광반사부재로 만들어지고 있기 때문에, 반사마크(503A)의 존재하지 않은 부분은 비반사마크(503B)로 된다. 따라서, 반사형의 광 센서(504)를 테스트트레이의 상측에 배치하고, 이 광 센서(504)로부터 투사되어 반사마크(503A)에서 반사되어 오는 빛을 검출한다. 이 광 센서(504)가 반사마크(503A)로부터 반사되어 오는 빛을 검출하고 있는 사이에, IC 검출센서(500)가 빛을 검출하는가 아닌가에 의해서 광투과공(16A)만을 투과하는 빛을 검출하고, IC의 유무를 검출하도록 구성한 것이다.

상술한 실시예에서는 엔로우더부(400)로부터 로우더부(300)로 반송되는 테스트트레이상에 IC가 남겨져 있는가의 여부를 검출하는 사례를 설명하였지만, IC 검출센서(500)를, 예컨대 로우더부(300)로부터 테스트헤드(104)로 이르는 경로의 도중의 부분 및 테스트헤드(104)로부터 엔로우더부(400)로 이르는 경로의 도중의 부분에도 설치하여, 테스트트레이(TST)가 로우더부(300)로부터 테스트헤드(104)로 반송되는 사이에 테스트트레이(TST)로부터 IC가 낙하하며, 반 IC 수납부가 존재하는 것 및 테스트헤드(104)에 있어서 테스트트레이(TST)가 테스트트레이(TST)에서 낙하해서 떨어져서 반 IC 수납부가 존재하는 것만 검출하도록 구성하는 것도 가능하다.

IC 검출센서(500)는 상기 위치중 어느 1개에 설치하여도 IC 시험장치의 신뢰성을 높일 수 있지만, IC 검출센서(500)를, 엔로우더부(400)와 로우더부(300)와의 사이 및 테스트헤드(104)와 엔로우더부(400)와의 사이의 양 위치나, 엔로우더부(400)와 로우더부(300)와의 사이 및 로우더부(300)와 테스트헤드(104)와의 사이의 양 위치에 조합하여 설치하면, 보다 더 IC 시험장치의 신뢰성을 높일 수 있다. 물론, 상술한 모든 위치에 IC 검출센서(500)를 설치하면, IC 시험장치의 신뢰성은 가장 높아진다.

또, 반사마크(503A)와 비반사마크(503B)와의 배치관계를 도 13에 도시된 상태와 반대로 하고, 반사형 광 센서(504)가 반사광을 검출하지 않은 사이에, IC 검출센서(500)가 빛을 검출하는가 아닌가에 의해서 광투과공(16A)만을 투과하는 빛을 검출하며, IC의 유무를 검출하도록 구성하더라도 좋다.

또한, IC 검출센서(500)로서는 투과형태의 광센서뿐만 아니라, 금속(1C내의 금속)을 검출하는, 근접소위저, 혹은 페턴인식기능을 가지는 카메라 등에 의하여 IC 검출센서(500)를 구성할 수도 있다.

효율의 효과

이상 설명한 바와 같이, 본 발명의 제1의 실시예의 IC 시험시스템에 의하면, 핸들러부(11)에서는 분류동작을 실행할 필요가 없으므로 또한, 본 발명의 제2의 실시예의 IC 시험시스템에 의하면, 핸들러부(11)에서는 분류와 분류를 혹은 기타의 분류방법에 의한 2개의 카테고리만의 분류동작을 실행하는 것만으로 충분하므로, 각 IC 시험장치마다의 IC의 시험에 요하는 시간과 상당히 단축할 수 있어, 처리를 고속화할 수 있다. 또한, 각 핸들러부(11)는, 제2의 실시예에서도 단지 2개의 카테고리의 분류동작을 실행하는 것으로 충분으로 구성을 간소화할 수 있다. 따라서, 핸들러부(11)의 코스트다운이 가능해진다. 더욱이, 결납정보기록수단에 기록되는 데이터중에 각 피시험 IC가 테스트부에서 접촉한 소켓의 번호를 포함시켰기 때문에, 특정한 소켓에 접촉한 IC에 불량이나 결함이 발생한 경우에는, 그 소켓이 될 방향으로 되돌아 있으면 추출할 수 있다. 따라서, 테스트부에서의 소켓의 불량을 검출할 수 있다고 하는 이점도 얻을 수 있다. 더욱이, 분류전송기(3)는 분류를 하는 것만으로 충분으로 영가로 제조할 수 있다. 따라서, 전체로서 영가인 IC 시험시스템을 구성할 수 있다고 하는 이점이 있다.

또한, 본 발명의 제1의 실시예의 IC 시험장치에 의하면, 비워져야 할 테스트트레이(TST)에 IC가 남겨져 있는 것을 검출하는 구성을 부가하였기 때문에, 로우더부(300)에 있어서, 남겨진 IC의 위에, 새롭게 IC를 겹쳐 쌓여 탑재되어 버린다고 하는 오류작이 일어나는 것을 방지할 수 있다. 따라서, IC가 예컨대 항온조

(101)의 내부에서 넘쳐서 떨어져 아래쪽의 반송장치를 파손시켜 버린다고 하는 것 같은 사고가 일어나는 것을 방지할 수 있다. 또한, 겹쳐서 탑재된 IC가 넘쳐서 떨어지지 않으므로 시험되어 엔로우더부(400)로 반송되며, 아래쪽의 IC의 시험결과에 따라서 상측의 IC가 분류되어 버린다고 하는 것과 같은 잡 뜻된 분류가 생기는 것을 방지할 수 있다.

더욱이, 본 발명의 제2의 실시예의 IC 시험장치에 의하면, 테스트부에서의 테스트중에 혹은 테스트부로부터 엔로우더부(400)에 테스트트레이가 반송되는 사이에, IC가 테스트트레이로부터 넘쳐서 떨어졌다고 해도, 그 넘쳐서 떨어진 상상을 검출할 수 있다. 따라서, IC가 존재하지 않은 테스트트레이상의 IC 수납부로부터, 기억장치에 기억한 시험결과에 따라서, IC를 가상적으로 분류하여 버린다고 하는 오동작을 방지할 수 있으며, 결국, IC가 존재하지 않은 테스트트레이상의 IC 수납부에 대한 분류동작을 중지시키는 수 있으며, 분류작업에 요하는 시간을 단축할 수 있다.

또한, 본 발명의 제3의 실시예의 IC 시험장치에 의하면, 로우더부(300)로부터 테스트부에 테스트트레이가 반송되는 사이에 IC가 낙하하는 사고나, 로우더부(300)에서 테스트트레이에 피시험 IC를 적재하는 것이 가능하지 않고, IC가 적재되지 않은 채로 테스트부로 반송된 경우와 같이, 테스트부에 운반된 테스트트레이(TST)에 빈 IC 수납부가 존재하더라도, 이 빈 IC 수납부를 검출할 수 있으므로, 빈 IC 수납부에 대해서는 시험을 중지시킬 수 있다. 그 결과, 쓸모없는 시험을 행하지 않게 되기 때문에, 시험시간이 단축가능하고, 신뢰성이 높은 IC 시험장치를 제공할 수 있다.

또, 이상의 설명으로서는 반도체 디바이스로서 IC를 예로 들어 설명하였지만, IC 이외의 다른 반도체 디바이스를 시험하는 시험장치에도 본 발명이 적용될 수 있고, 동일한 작용효과를 얻을 수 있는 것은 말할 필요도 없다.

(57) 청구의 범위

형구항 1

시험장치부와 핸들러부를 구비한 반도체 디바이스 시험장치와, 격납정보기억수단과, 분류전용기를 포함하고, 핸들러부의 로우더부에 있어서 범용트레이로부터 복수개의 피시험반도체 디바이스를 테스트트레이에 전송; 탑재하고, 이 테스트트레이를 핸들러부의 테스트부로 반송하고, 이 테스트부에 배치된 상기 시험장치부의 테스트헤드에 상기 테스트트레이에 탑재된 반도체 디바이스를 전기적으로 접촉시켜 반도체 디바이스의 동작을 테스트하고, 테스트종료후 시험필 반도체 디바이스를 탑재한 테스트트레이를 상기 테스트부로부터 핸들러부의 엔로우더부로 반송하고, 이 엔로우더부에 있어서 상기 테스트트레이의 시험필 반도체 디바이스를 범용트레이에 바꿔치고, 시험필 반도체 디바이스를 탑재한 범용트레이를 핸들러부로부터 하측 하도록 구성되어 있는 반도체 디바이스 시험시스템에 있어서,

상기 엔로우더부에 있어서 테스트트레이로부터 범용트레이로 시험필 반도체 디바이스를 바꿔칠 때, 각각의 반도체 디바이스에 부여된 번호, 반도체 디바이스의 시험결과 및 상기 테스트부에서 시험에 사용된 소켓번호들의 각각의 반도체 디바이스의 격납정보를, 각범용트레이의 반도체 디바이스격납부에 각 시험필 반도체 디바이스를 격납할 때마다, 상기 격납정보기억수단에 기억시켜, 이 기억된 격납정보를 상기 분류전용기에 송급하고, 상기 분류전용기로 시험필 반도체 디바이스를 상기 시험결과에 따라서 분류하도록 구성한 것을 특징으로 하는 반도체 디바이스 시험시스템.

형구항 2

시험장치부와 핸들러부를 구비한 반도체 디바이스 시험장치와, 격납정보기억수단과, 분류전용기를 포함하고, 피시험 반도체 디바이스를 핸들러부의 테스트부로 반송하고, 이 테스트부에 배치된 상기 시험장치부의 테스트헤드에 상기 반도체 디바이스를 전기적으로 접촉시켜 반도체 디바이스의 동작을 테스트하고, 테스트종료후 시험필 반도체 디바이스를 상기 테스트부로부터 핸들러부의 엔로우더부로 반송하고, 이 엔로우더부에 있어서 상기 시험필 반도체 디바이스를 그것들의 시험결과에 따라서 분류하고, 반도체 디바이스 격납부에 격납하도록 구성된 반도체 디바이스 시험시스템에 있어서,

상기 엔로우더부에서는 시험필 반도체 디바이스를 양품과 불량품의 2종류로 분류하는 동작만을 행하고, 상기 반도체 디바이스 격납부에 격납하는 각각의 반도체 디바이스의 시험결과, 반도체 디바이스에 부여된 번호, 상기 테스트부에서 사용된 소켓번호들의 각각의 반도체 디바이스의 격납정보를 상기 격납정보기억수단에 기억시켜, 이 격납정보기억수단에 기억된 격납정보를 상기 분류전용기에 송급하고, 이 분류전용기에 있어서 시험필 반도체 디바이스를 상기 시험결과에 따라서 더욱 상세하게 분류하는 일을 특징으로 하는 반도체 디바이스 시험시스템.

형구항 3

시험장치부와 핸들러부를 구비한 반도체 디바이스 시험장치를 복수대 구비하고, 각 반도체 디바이스 시험장치는, 피시험반도체 디바이스를 핸들러부의 테스트부로 반송하고, 이 테스트부에 배치된 상기 시험장치부의 테스트헤드에 상기 반도체 디바이스를 전기적으로 접촉시켜 반도체 디바이스의 동작을 테스트하고, 테스트종료후, 시험필 반도체 디바이스를 상기 테스트부로부터 핸들러부의 엔로우더부로 반송하고, 이 엔로우더부에 있어서 상기 시험필 반도체 디바이스를 그것들의 시험결과에 따라서 분류하고, 반도체 디바이스 격납부에 격납하도록 구성되어 있고, 상기 복수대의 반도체 디바이스 시험장치의 시험조건을 다르게 하고, 피시험반도체 디바이스를 이들 반도체 디바이스 시험장치로 순차로 송급하여 다른 조건의 시험을 반복하도록 구성된 반도체 디바이스 시험시스템에 있어서,

상기 각 반도체 디바이스 시험장치의 상기 엔로우더부에서는 시험필 반도체 디바이스를 양품과 불량품의 2종류로 분류하는 동작만을 행하고, 양품으로 판정된 반도체 디바이스만을 다음 반도체 디바이스 시험장

치에 응급하도록 한 것을 특징으로 하는 반도체 디바이스 시험시스템.

참구항 4

제 3 항에 있어서, 상기 각 반도체 디바이스 시험장치는 격납정보기록수단과, 분류전용기구를 포함하고, 상기 반도체 디바이스 격납부에 격납하는 각각의 반도체 디바이스의 시험결과, 반도체 디바이스에 부여된 번호, 상기 테스트부에서 사용된 소켓번호 등의 각각의 반도체 디바이스의 격납정보를 상기 격납정보기록수단에 기억시켜, 모든 시험이 종료한 후, 상기 격납정보기록수단에 기억된 격납정보를 상기 분류전용기에 송급하고, 이 분류전용기에 있어서 시험된 반도체 디바이스단 상기 시험결과에 따라서 더욱 상세하게 분류하는 것을 특징으로 하는 반도체 디바이스 시험시스템.

참구항 5

시험장치부와 핸들러부를 구비한 반도체 디바이스 시험장치와, 격납정보기록수단과, 분류전용기구를 구비하고, 핸들러부의 로우더부에 있어서 복수개의 피시험반도체 디바이스를 테스트트레이에 탑재하고, 이 테스트트레이를 핸들러부의 테스트부에 반송하고, 거기에서 상기 테스트트레이에 탑재된 반도체 디바이스에 대해서, 시험장치부에 의해 소량의 테스트를 실행하고, 테스트종료후, 시험된 반도체 디바이스를 탑재한 테스트트레이를 상기 테스트부로부터 핸들러부의 안로우더부에 반송하고, 거기에서 시험된 반도체 디바이스를 범용트레이의 반도체 디바이스격납부에 적재·수납하고, 시험된 반도체 디바이스를 탑재한 상기 범용트레이를, 반도체 디바이스 시험장치로부터 취출하도록 구성된 반도체 디바이스 시험시스템에 있어서,

상기 안로우더부에 있어서, 테스트트레이상의 모든 시험된 반도체 디바이스가, 구분하지 않고 범용트레이에 전제되고, 상기 격납정보기록수단, 적어도, 수납된 범용트레이의 반도체 디바이스 격납부의 어드레스, 각각의 반도체 디바이스에 부여된 번호, 반도체 디바이스의 시험결과를 포함하는 반도체 디바이스의 격납정보를 기억하고, 분류전용기가, 격납정보기록수단에 기억된 격납정보를 받아, 분류전용기가, 범용트레이를 받아, 범용트레이에 수납되어 있는 시험된 반도체 디바이스단, 상기 격납정보에 따라 분류하는 것을 특징으로 하는 반도체 디바이스 시험시스템.

참구항 6

시험장치부와 핸들러부를 구비한 반도체 디바이스 시험장치와, 격납정보기록수단과, 분류전용기구를 구비하고, 핸들러부의 로우더부에 있어서 복수개의 피시험반도체 디바이스들 테스트트레이에 탑재하고, 반도체 디바이스를 탑재한 테스트트레이를 핸들러부의 로우더부로부터 테스트부에 반송하고, 거기에서 상기 테스트트레이에 탑재된 상기 반도체 디바이스에, 시험장치부에 따라 소량의 테스트를 부여하고, 테스트종료후, 시험된 반도체 디바이스를 탑재한 테스트트레이를 상기 테스트부로부터 핸들러부의 안로우더부에 반송하고, 거기에서 시험된 반도체 디바이스들 그것들의 시험결과에 따라 양종과 불량종의 2개의 카테고리만으로 분류하고, 또한 테스트트레이로부터 이들 2개의 카테고리에 대응하는 범용트레이에 전제하고, 이들 두 개의 카테고리에 대응하는 범용트레이를 반도체 디바이스 시험장치로부터 취출하도록 구성된 반도체 디바이스 시험시스템에 있어서,

상기 격납정보기록수단, 적어도, 각각의 반도체 디바이스의 시험결과, 반도체 디바이스에 부여된 번호, 상기 테스트부에서 사용된 소켓번호, 및 범용트레이상의 반도체 디바이스 격납부의 어드레스를 포함하는 각각의 반도체 디바이스의 격납정보를 기억하고, 분류전용기가, 이 격납정보기록수단에 기억된 격납정보를 받아, 분류전용기가, 범용트레이를 받아, 범용트레이에 수납된 시험된 반도체 디바이스들, 상기 격납정보에 따라 더 분류하는 것을 특징으로 하는 반도체 디바이스 시험시스템.

참구항 7

반도체 디바이스 시험장치를 복수대와, 격납정보기록수단과, 분류전용기구를 구비하고, 각 반도체 디바이스 시험장치는 시험장치부와 핸들러부를 구비하고, 또 시험반도체 디바이스들 테스트트레이에 탑재해서 핸들러부의 테스트부에 반송하고, 거기에서 이 테스트부에 배치된 상기 시험장치부의 테스트헤드에 의해, 상기 반도체 디바이스들 테스트하고, 테스트종료후, 시험된 반도체 디바이스들 상기 테스트부로부터 핸들러부의 안로우더부로 반송하고, 거기에서 상기 시험된 반도체 디바이스들, 그것들의 시험결과에 따라 양종과 불량종의 두 개의 카테고리로 분류하고, 또 테스트트레이로부터 이들 두 개의 카테고리에 대응하는 범용트레이로 전제하고, 상기 두 개의 카테고리에 대응하는 범용트레이를, 반도체 디바이스 시험장치로부터 각각 취출하도록 구성된 반도체 디바이스 시험시스템에 있어서,

상기 복수대의 반도체 디바이스 시험장치가 서로 다른 시험조건을 갖도록 설정하고, 상기 격납정보기록수단, 적어도, 각각의 반도체 디바이스의 시험결과, 반도체 디바이스에 부여된 번호, 상기 테스트부에서 사용된 소켓번호, 및 범용트레이의 반도체 디바이스 격납부의 어드레스를 포함하는 각각의 반도체 디바이스 시험장치의 시험된 반도체 디바이스의 격납정보를 기억하고, 복수의 반도체 디바이스 시험장치중의 가장 앞의 시험장치로부터 취출된 양종으로 판정된 반도체 디바이스들 탑재한 범용트레이만이, 다음의 반도체 디바이스 시험장치로 송급되고, 이하 함께 최종의 반도체 디바이스 시험장치에 이르기까지 순차적으로 송급될 수 있도록 구성하고, 분류전용기가 이 격납정보기록수단에 기억된 격납정보를 받아, 최종의 반도체 디바이스 시험장치에 있어서 양종으로 판정된 반도체 디바이스들 탑재한 범용트레이가 이 최종의 반도체 디바이스 시험장치로부터 취출되고, 분류전용기로 송급되고, 분류전용기가, 이 최종의 반도체 디바이스 시험장치로부터 취출된 범용트레이를 받아, 해당 범용트레이에 탑재되어 있는 시험된 반도체 디바이스들, 상기 격납정보에 따라 더 분류하는 것을 특징으로 하는 반도체 디바이스 시험시스템.

참구항 8

제 7 항에 있어서, 분류전용기가, 각각의 반도체 디바이스 시험장치로부터 취출된, 양종으로 판정된 반도체 디바이스들 탑재한 범용트레이를 받아, 해당 범용트레이에 탑재되어 있는 시험된 반도체 디바이스들, 상기 격납정보에 따라 더 분류하는 것을 특징으로 하는 반도체 디바이스 시험시스템.

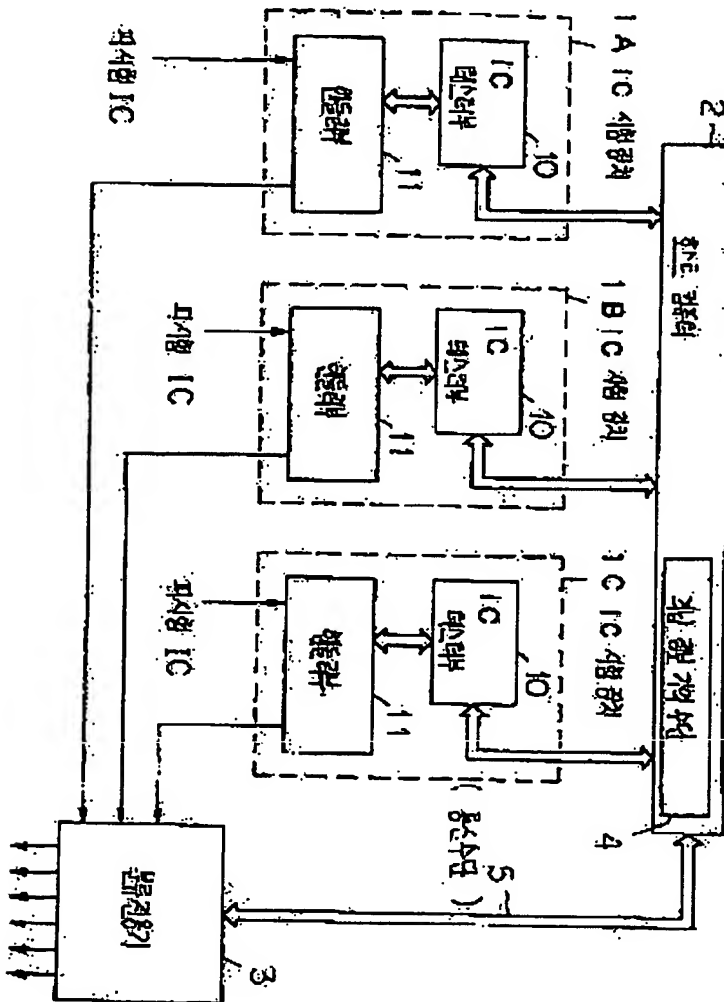
참구항 9

반도체 디바이스 시험장치를 복수대와, 격납정보기록수단과, 분류전용기를 구비하고, 각 반도체 디바이스 시험장치는, 시험장치부와 핸들러부를 구비하고, 피시험반도체 디바이스를 테스트트레이에 탑재해서 핸들러부의 테스트부로 반송하고, 거기에서 피시험반도체 디바이스에 대하여, 상기 시험장치부에 의해 소정의 테스트를 상기 반도체 디바이스에 실행하고, 테스트종료후, 시험할 반도체 디바이스를 탑재한 테스트트레이를 상기 테스트부로부터 핸들러부의 인로우더부로 반송하고, 이 인로우더부에 있어서 상기 시험할 반도체 디바이스를 테스트트레이로부터 범용트레이로 분류하지 않고 전제하도록 구성한 반도체 디바이스 시험 시스템에 있어서,

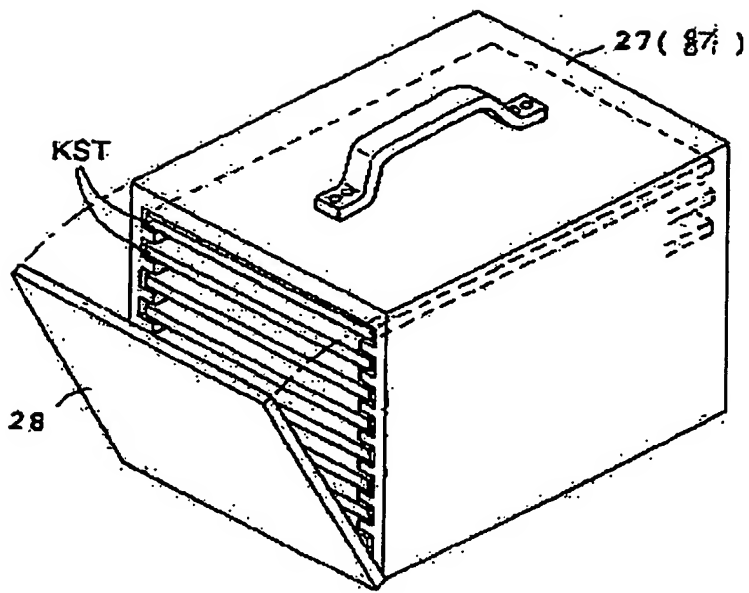
상기 복수개의 반도체 디바이스 시험장치는 동일한 시험조건을 갖고, 각각의 반도체 디바이스의 시험결과, 반도체 디바이스에 부여된 번호, 상기 테스트부에서 사용된 소켓번호, 및 범용트레이의 반도체 디바이스 격납부의 머드레스를 적어도 포함하는 각각의 반도체 디바이스 시험장치의 시험결과 반도체 디바이스의 격납정보들, 상기 격납정보기록수단이 각각하고, 각각의 반도체 디바이스 시험장치로부터, 시험필 반도체 디바이스를 담은 범용트레이를 취출하고, 상기 분류전송기가 격납정보기록수단에 기억된 격납정보를 받아, 상기 분류전송기가, 각각의 반도체 디바이스 시험장치로부터 취출된 범용트레이를 받아, 해당 범용트레이에 탑재된 모든 시험필반도체 디바이스를 상기 격납정보에 따라 분류하는 것을 특징으로 하는 반도체 디바이스 시험시스템.

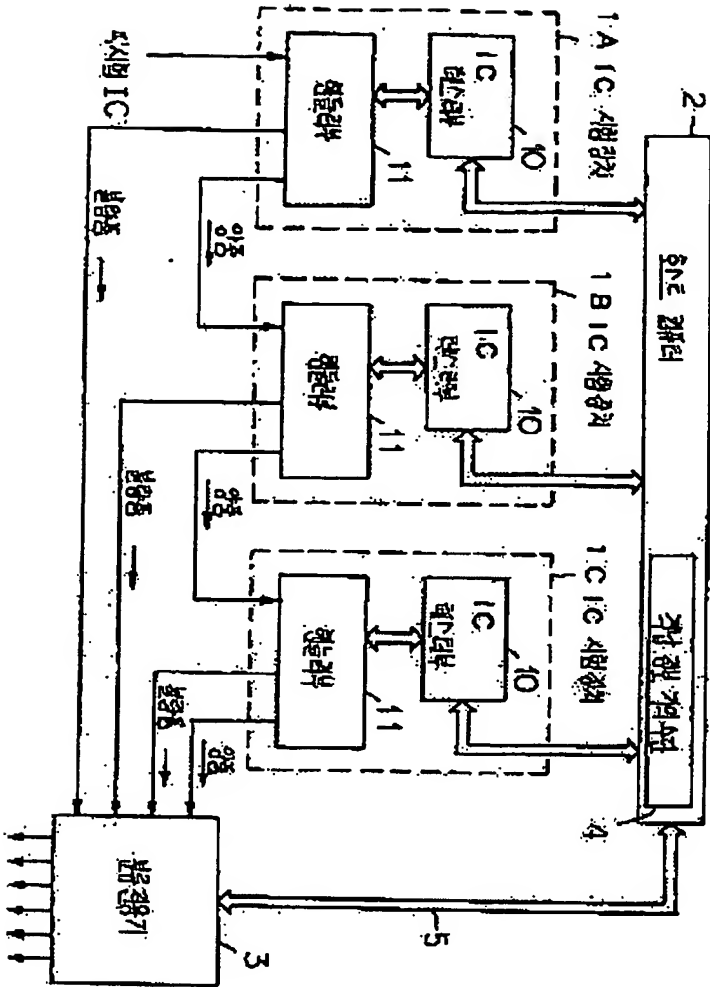
55

END

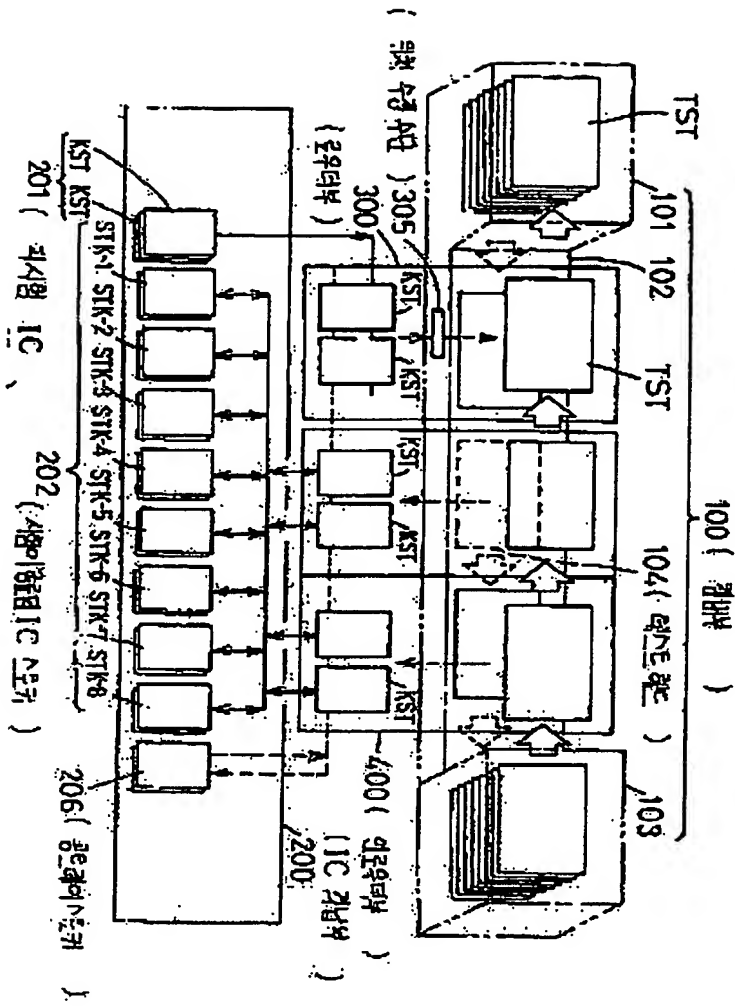


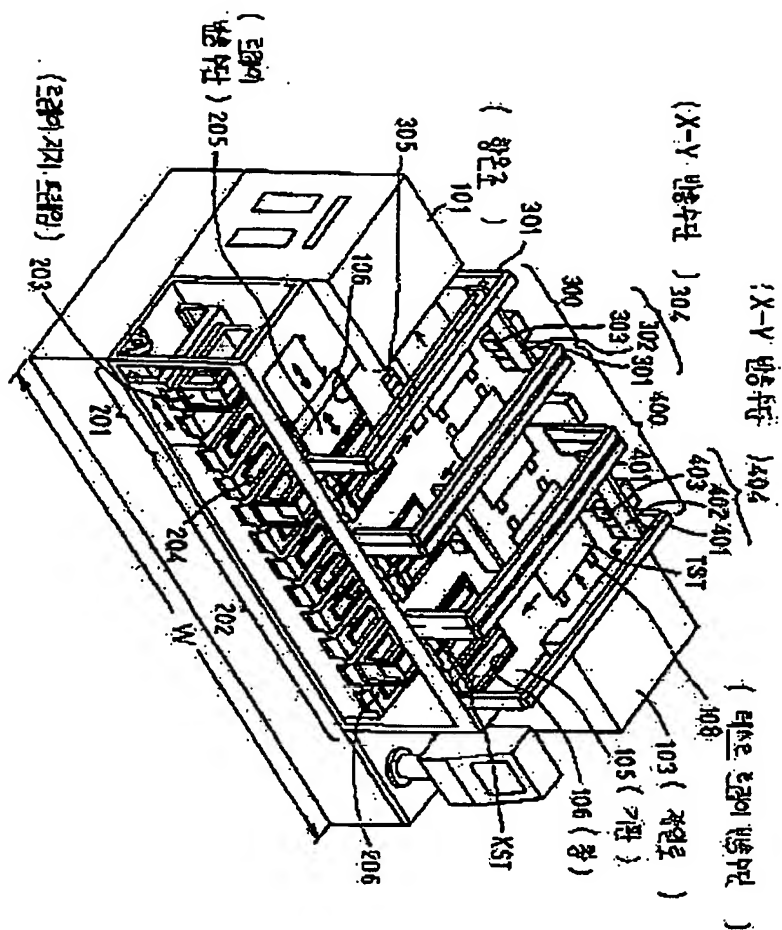
5B2

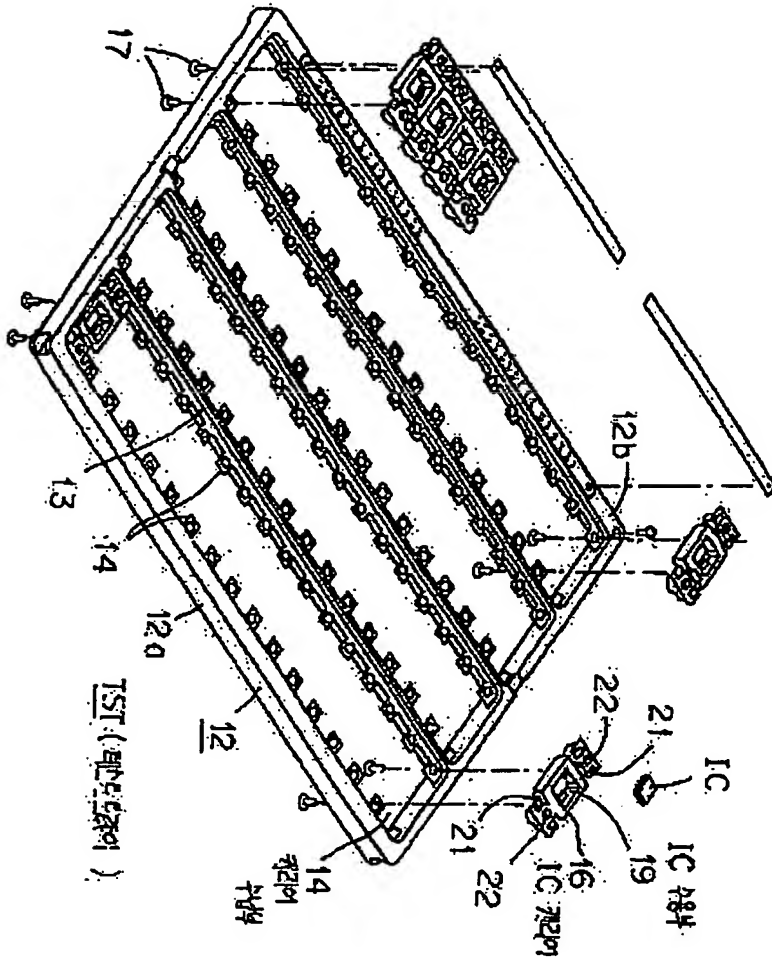




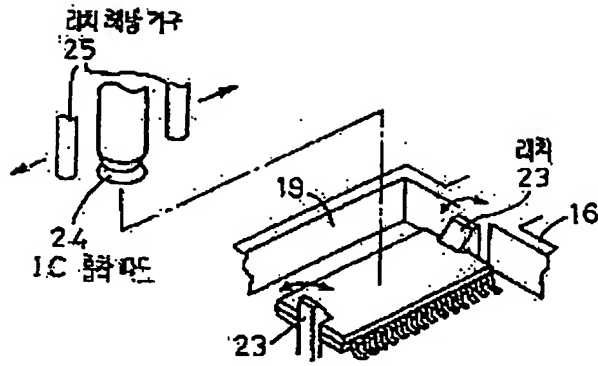
585



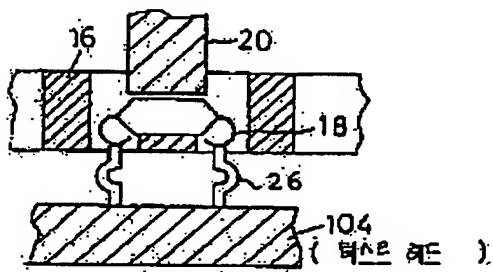




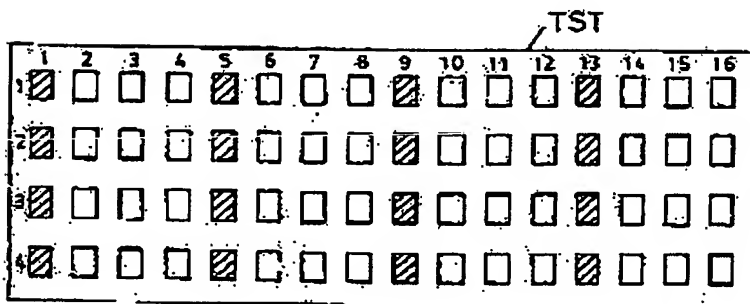
도 87

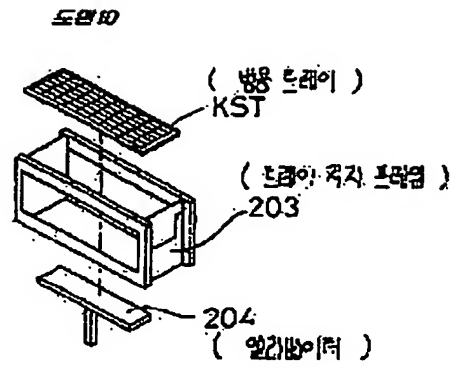


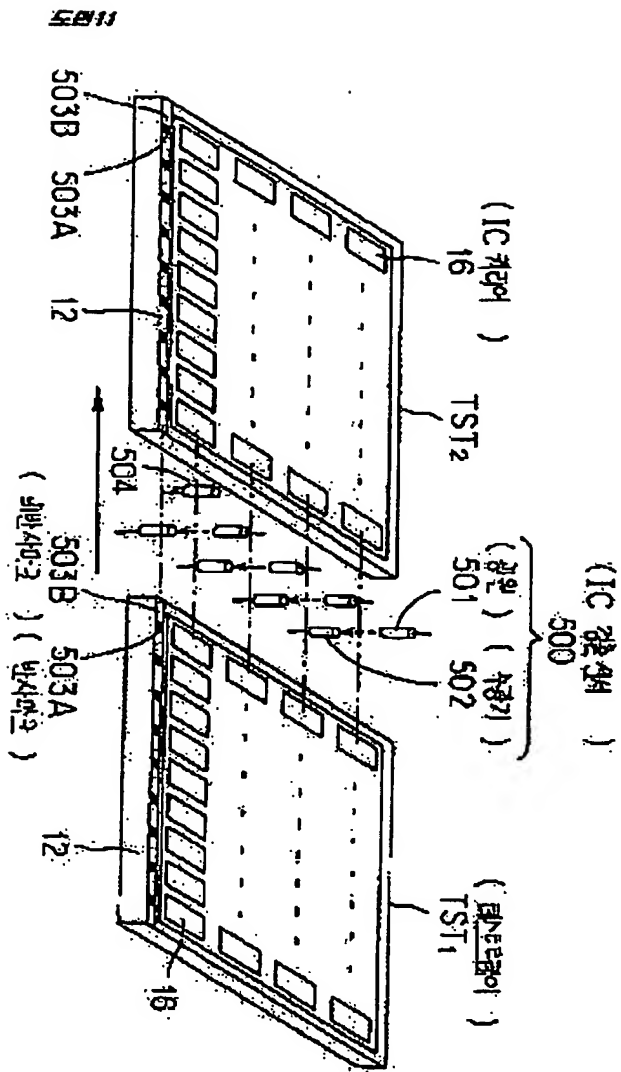
도 88



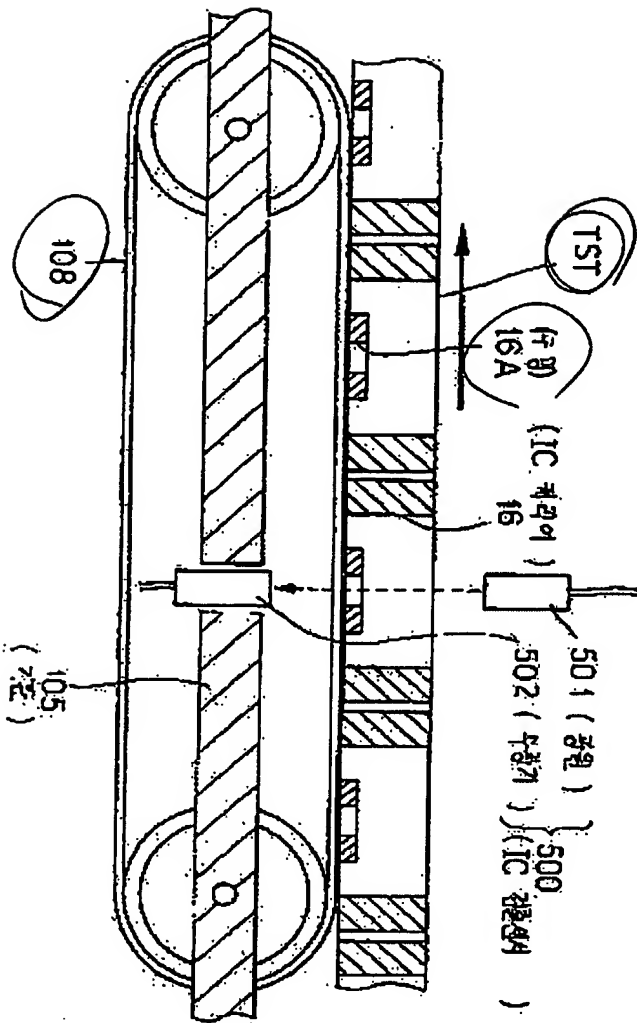
도 89



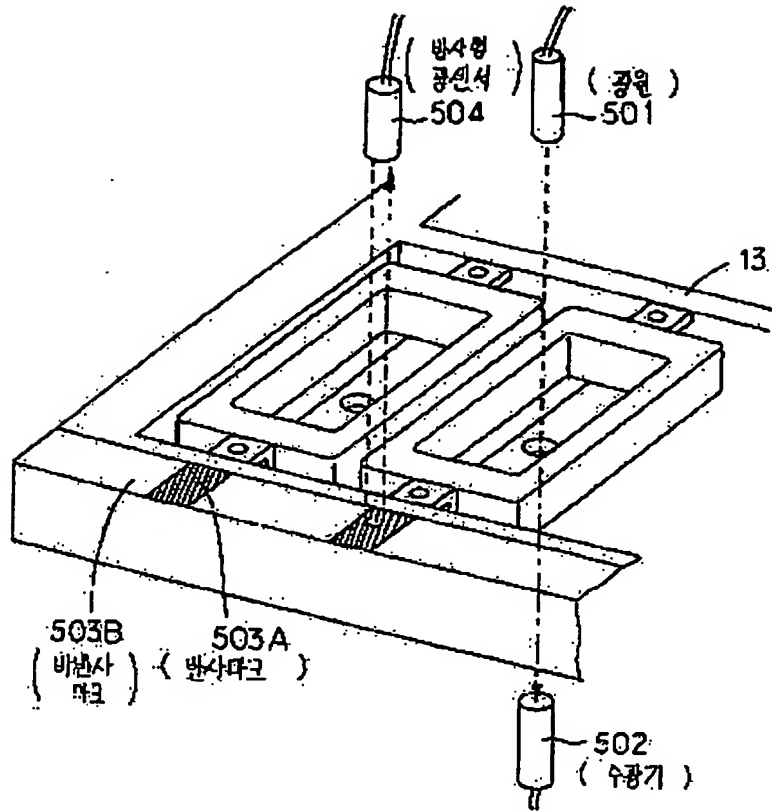




502



도 13



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.